

# Auxiliar 10

Profesor: Pablo Guerrero.  
Auxiliar: Ian Yon  
Viernes 14 de agosto de 2015



## Problema 1: Problema 3 Examen Otoño 2006

La figura muestra un extracto del contenido de un cache de 8 KB de 2 grados de asociatividad y líneas de 16 bytes. El cache se organiza en 2 bancos, cada uno con 256 líneas. Por ejemplo en la línea 3b (en hexadecimal) del banco izquierdo se almacena la línea de memoria que tiene como etiqueta 53b (es decir, la línea que va de la dirección 53b0 en hexadecimal a la dirección 53bf).

Línea	Banco 1		Banco 2	
	Etiqueta	Contenido	Etiqueta	Contenido
0a	boa		80a	
3b	53b		13b	
81	481		681	

Table 1: Memoria caché

Un programa accede a las siguientes direcciones de memoria: 0a4, 13b0, 10a8, 4810, 6810, 4818, 0boa, 080a. Indique qué accesos caen en la memoria cache y cuales no. Además muestre un posible estado del cache después de aquellos accesos.

## Problema 2: Examen 2007-2

La siguiente es una secuencia de direcciones de memoria (en hexadecimal) leídas por un procesador con una memoria cache de 4 KB ( bytes) de un grado de asociatividad:

5F30 6D18 5F30 7F30 6D10 7F30 5F30 6D10

El cache posee líneas de 16 bytes. Suponga que el cache está inicialmente vacío.

1. ¿Cuál es la porción de la dirección que se usa para indexar el cache?
2. ¿Cuál es la porción de la dirección que se usa como etiqueta?
3. ¿Qué accesos a la memoria son aciertos en el cache y cuáles son desaciertos?

## Problema 3

La tabla muestra ciclo por ciclo la ejecución de varias instrucciones en un procesador.

		1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
A	ADD R1, 4, R1	F	D	A	E	S										
B	LDW [R2+8], R3	F	D	A	E	M	M	M	M	M	S					
C	OR R1, 255, R4		F	D	A	E	S									
D	ADD R4, 1, R2		F	D	A		E	S								
E	CMP R3, 0			F	D	A						E	S			
F	BNE A			F	D	A							E			
A'	ADD R1, 4, R1				F	D	A							E	S	
B'	LDW [R2+8], R3				F	D	A							E	M	S

Tabla 1: Tabla de ejecución de instrucciones

1. Indique en qué momentos se recurre (si es que se recurre) a las siguientes técnicas: register bypassing, register scoreboarding y renombre de registros.
2. Modifique la tabla de más arriba considerando que la predicción del salto f.- fue errónea. Invente sus propias instrucciones G y H. Indique solo las filas y columnas que hay que modificar en la tabla.

## Problema 4

```

loop:
    shiftl R1, 2, R2
    load [R6+R2], R3
    add R1, 1, R1
    add R3, R4, R4
    cmp R1, R5
    blt loop

```

Haga el diagrama de ejecución considerando 2 iteraciones del ciclo loop e indique en que momentos se usa:

- a) Register bypassing
- b) Register scoreboarding
- c) Register renaming
- d) Predicción de saltos