

Pauta Auxiliar 5

Profesor: Pablo Guerrero.
Auxiliar: Ian Yon
viernes, 08 de mayo de 2015



Departamento de Ciencias de la Computación
UNIVERSIDAD DE CHILE

Problema 1

```
int mystery(int c){
    unsigned int t;
    t = c - 'A';
    if (t <= 'Z' - 'A')
        c += 'a' - 'A';
    return c;
}
```

Problema 2

Es un factorial iterativo

```
factorial:          ; On entry, N is stored in R0.
    MOVS    r1, r0    ; Copy N to R1 and test.
    MOVEQ   r0, #1    ; if (R1 == 0) Set result to 1 and return
loop
    SUBNES  r1, r1, #1 ; if (R1 != 0) Decrement R1 and test.
    MULNE   r0, r1, r0 ; if (R1 != 0) Result = R1 * Result.
    BNE     loop      ; if (R1 != 0) Loop.
    MOV     pc, r14   ; Return with result in R0.
    END
```

Problema 3

Parte a

1. ¿De cuántos kilobytes es el chip de memoria ROM? ← $2^{13} \times 2B = 16kB$.

2. ¿En qué rango de direcciones se ubica la ROM? ←

Desde A15 A14 A13...A1 A0 = 110...00

Hasta A15 A14 A13...A1 A0 = 111...10

3. ¿De cuántos kilobytes es cada chip de memoria SRAM? ← $2^{12} \times 2B = 8kB$. 4. ¿En qué rango de direcciones se ubica cada uno de los chips de SRAM? ←

• **Chip 1:**

○ **Desde A15 A14 A13 A12...A1 A0 = 0000...00**

○ **Hasta A15 A14 A13 A12...A1 A0 = 0001...10**

• **Chip 2:**

○ **Desde A15 A14 A13 A12...A1 A0 = 0000...00**

○ **Hasta A15 A14 A13 A12...A1 A0 = 0011...10**

5. ¿Cuánta es la máxima cantidad de memoria, en kilobytes, que puede direccionar el procesador? ← $2^{16} B = 64 kB$.

6. ¿Por qué el procesador no tiene la línea de dirección A0? ← **Alineamiento de memoria**

Parte b

Primero se construye un módulo de RAM de $16k \times 16b$ a partir de los chips de $16k \times 8b$, para que el tamaño de palabra y de bus de datos coincida con el de la CPU.

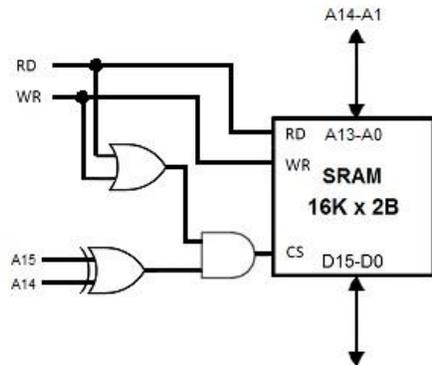


Figura 1: Diagrama de conexiones para memoria extendida

De esta manera, el mapa de direcciones de memoria queda como muestra la siguiente tabla (RAM 3 corresponde al bloque añadido en la solución):

Tabla 1: Mapa de memoria

A<bit>	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
<i>RAM 1</i>	0	0	0	x	x	x	x	x	x	x	x	x	x	x	x	0
<i>RAM 2</i>	0	0	1	x	x	x	x	x	x	x	x	x	x	x	x	0
<i>Inicio RAM 3</i>	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0
<i>Fin RAM 3</i>	1	0	1	1	1	1	1	1	1	1	1	1	1	1	1	0
<i>ROM</i>	1	1	x	x	x	x	x	x	x	x	x	x	x	x	x	0

Notar que el mapeo a las direcciones internas de la RAM 3 no es lineal. Sin embargo, es consistente en el sentido de que a cada dirección de la CPU le corresponde una sola dirección de la RAM.