

Pauta Auxiliar 12

Profesor: Pablo Guerrero.

Auxiliar: Ian Yon

Viernes 21 de noviembre de 2014



Departamento de Ciencias de la Computación
UNIVERSIDAD DE CHILE

Problema 1

1. La porción de la dirección que se usa para indexar es el offset que tiene la dirección con respecto al número de líneas del caché, es decir, si la memoria tiene L_m "líneas" (conjuntos de bytes del tamaño del caché) y el caché tiene L_c líneas, la línea del caché en la que va una línea de la memoria es $\text{mod}(L_m, L_c)$. Como la memoria cache es de 4 KB, esto es $256 = 2^8$ líneas de 16 bytes, se necesitan 8 bits para direccionar, y como el último término corresponde al tamaño de la línea de cache, se usan los siguientes 2 para direcciones. Es decir para la etiqueta 5F3, se usa F3 para direccionar el cache.
2. La etiqueta en un caché se compone del índice (posición) en el caché y cuántas "vueltas" se le ha dado al caché. Entonces, como se tiene que las líneas del caché son de $16 = 2^4$ bytes, entonces los últimos 4 bits de una dirección de memoria no van en la etiqueta. Son los primeros 12 bits. Si la dirección es 5F30, la etiqueta es 5F3.
3. La tabla de accesos a la memoria se muestra a continuación:

	5F30	6D18	5F30	7F30	6D10	7F30	5F30	6D10
Etiqueta	5F3	6D1	5F3	7F3	6D1	7F3	5F3	6D1
Dirección	F3	D1	F3	F3	D1	F3	F3	D1
¿Hit?	no	no	si	no	si	si	no	si

Problema 2

1. Se observan las siguientes optimizaciones:
 - a. Se observa ejecución superescalar en los ciclos A4 con B4 y A'13 con B'13.
 - b. Entre las instrucciones B y D se utiliza un registry renaming sobre el registro R2.
 - c. Entre las instrucciones C y D se observa el uso de registry bypassing del registro R4.
 - d. Los ciclos E6 a E10 se utiliza registry scoreboarding para esperar el resultado del registro R3.
 - e. En el ciclo F12 se utiliza registry bypassing del registro de flags.
2. Se debe descargar el trabajo realizado en los ciclos A'4 - A'6, B'4 - B'6 (ya que la predicción del salto fue errónea. Luego, las nuevas instrucciones (da lo mismo cuales sean), comienzan su ejecución en los ciclos A'13 y B'13.
3. La nueva tabla de ejecución quedaría como:

		1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
A	ADD R1, 4, R1	F	D	A	E	S	R									
B	LDW [R2+8], R3	F	D	A	E	M	M	M	M	M	S	R				
C	OR R1, 255, R4		F	D	A	E	S					R				
D	ADD R4, 1, R2		F	D	A		E	S					R			
E	CMP R3, 0			F	D	A						E	S	R		
F	BNE A			F	D	A	E							R		
A'	ADD R1, 4, R1				F	D	A	E	S						R	
B'	LDW [R2+8], R3				F	D	A	E	M	S					R	