

# Auxiliar 12

Profesor: Pablo Guerrero.

Auxiliar: Ian Yon

Viernes 21 de noviembre de 2014



Departamento de Ciencias de la Computación  
UNIVERSIDAD DE CHILE

## Problema 1: Examen 2007-2

La siguiente es una secuencia de direcciones de memoria (en hexadecimal) leídas por un procesador con una memoria cache de 4 KB ( $2^{12}$  bytes) de un grado de asociatividad:

5F30 6D18 5F30 7F30 6D10 7F30 5F30 6D10

El cache posee líneas de 16 bytes. Suponga que el cache está inicialmente vacío.

1. ¿Cuál es la porción de la dirección que se usa para indexar el cache?
2. ¿Cuál es la porción de la dirección que se usa como etiqueta?
3. ¿Qué accesos a la memoria son aciertos en el cache y cuáles son desaciertos?

## Problema 2:

La tabla muestra ciclo por ciclo la ejecución de varias instrucciones en un procesador.

		1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
A	ADD R1, 4, R1	F	D	A	E	S										
B	LDW [R2+8], R3	F	D	A	E	M	M	M	M	M	S					
C	OR R1, 255, R4		F	D	A	E	S									
D	ADD R4, 1, R2		F	D	A		E	S								
E	CMP R3, 0			F	D	A						E				
F	BNE A			F	D	A							E			
A'	ADD R1, 4, R1				F	D	A							E	S	
B'	LDW [R2+8], R3				F	D	A							E	M	S

Tabla 1: Tabla de ejecución de instrucciones

1. Indique en qué momentos se recurre (si es que se recurre) a las siguientes técnicas: register bypassing, register scoreboard, ejecución superescalar y renombre de registros.
2. Modifique la tabla de más arriba considerando que la predicción del salto f.- fue errónea. Invente sus propias instrucciones G y H. Indique solo las filas y columnas que hay que modificar en la tabla.
3. Rehaga la tabla de más arriba considerando un procesador de similares características pero con ejecución fuera de orden y ejecución especulativa. Explique además en qué momentos se recurre a renombre de registros y ejecución especulativa. No olvide agregar la fase de retiro en el pipeline.