

# Pauta Auxiliar 8

Profesor: Pablo Guerrero.  
Auxiliar: Ian Yon  
Viernes 10 de octubre de 2014



Departamento de Ciencias de la Computación  
UNIVERSIDAD DE CHILE

## Problema 1

Del enunciado se desprende que el chip de memoria provisto tiene  $128K = 2^{17}$  direcciones y que su tamaño de palabra es de 8 bits (lo mismo para el bus de datos, ya que no tiene que sentido que pueda transmitir tamaños mayores o menores a su largo de palabra).



Figura 1: Chip de memoria

Se pide agregar  $512kB = 2^{19}B$  de memoria a la CPU, por lo que se ocuparía toda su memoria direccionable (recordar que tiene un bus de direcciones de 19 bits). Para almacenar 512 kB de memoria se necesitan 4 chips de 128 kB, mientras que para direccionar se utilizarán:

- Los bits  $A16 - A0$  para seleccionar una dirección dentro de cada chip.
- Los bits  $A18 - A17$  del para seleccionar cuál de los 4 chips se activará. Esto se hace mediante un decodificador que recibe  $A18 - A17$  como input y  $RD$  or  $WR$  como enable (ya que sólo tiene sentido activar los chips si se está realizando una operación de escritura o lectura).

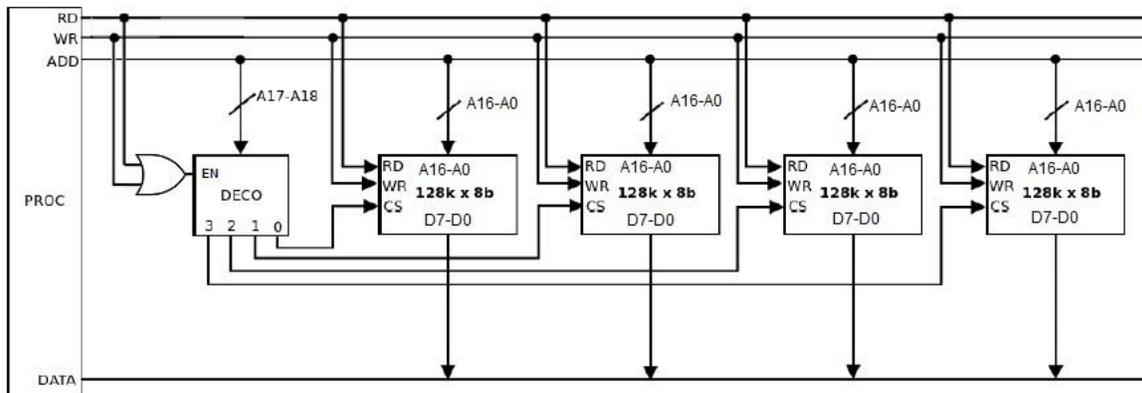


Figura 2: Diagrama de conexión

## Problema 2

### Parte a

1. ¿De cuántos kilobytes es el chip de memoria ROM?  $\leftarrow 2^{13} \times 2B = 16kB$ .
2. ¿En qué rango de direcciones se ubica la ROM?  $\leftarrow$   
**Desde  $A15 A14 A13...A1 A0 = 110...00$**   
**Hasta  $A15 A14 A13...A1 A0 = 111...10$**
3. ¿De cuántos kilobytes es cada chip de memoria SRAM?  $\leftarrow 2^{12} \times 2B = 8kB$ . 4. ¿En qué rango de direcciones se ubica cada uno de los chips de SRAM?  $\leftarrow$

- **Chip 1:**
    - Desde  $A_{15} A_{14} A_{13} A_{12} \dots A_1 A_0 = 0000 \dots 00$
    - Hasta  $A_{15} A_{14} A_{13} A_{12} \dots A_1 A_0 = 0001 \dots 10$
  - **Chip 2:**
    - Desde  $A_{15} A_{14} A_{13} A_{12} \dots A_1 A_0 = 0000 \dots 00$
    - Hasta  $A_{15} A_{14} A_{13} A_{12} \dots A_1 A_0 = 0011 \dots 10$
5. ¿Cuánta es la máxima cantidad de memoria, en kilobytes, que puede direccionar el procesador?  
 $\leftarrow 2^{16} B = 64 \text{ kB}$ .
6. ¿Por qué el procesador no tiene la línea de dirección A0?  $\leftarrow$  **Alineamiento de memoria**

Parte b

Primero se construye un módulo de RAM de  $16k \times 16b$  a partir de los chips de  $16k \times 8b$ , para que el tamaño de palabra y de bus de datos coincida con el de la CPU.

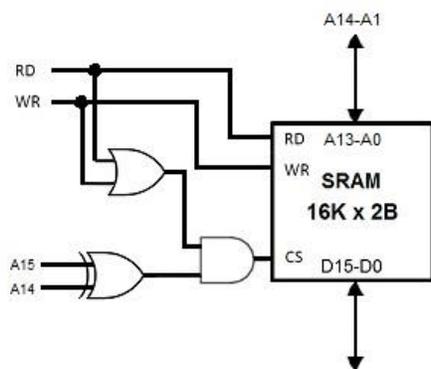


Figura 3: Diagrama de conexiones para memoria extendida

De esta manera, el mapa de direcciones de memoria queda como muestra la siguiente tabla (RAM 3 corresponde al bloque añadido en la solución):

<i>A&lt;bit&gt;</i>	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
<i>RAM 1</i>	0	0	0	x	x	x	x	x	x	x	x	x	x	x	x	0
<i>RAM 2</i>	0	0	1	x	x	x	x	x	x	x	x	x	x	x	x	0
<i>Inicio RAM 3</i>	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0
<i>Fin RAM 3</i>	1	0	1	1	1	1	1	1	1	1	1	1	1	1	1	0
<i>ROM</i>	1	1	x	x	x	x	x	x	x	x	x	x	x	x	x	0

Notar que el mapeo a las direcciones internas de la RAM 3 no es lineal. Sin embargo, es consistente en el sentido de que a cada dirección de la CPU le corresponde una sola dirección de la RAM.