

# Pauta Auxiliar 9

Profesor: Pablo Guerrero.

Auxiliar: Ian Yon

Viernes 17 de octubre de 2014



## Problema 1

1. La única forma de cargar el latch AR es haciendo una operación en la ALU y poniendo su resultado en el bus (El cable que rodea la CPU). Entonces no se pueden hacer las operaciones referidas en el mismo ciclo de reloj, porque en ambos casos hay que pasar por la ALU.
2. Si, con un truco sucio: La arquitectura de M32 dispone de 32 registros, y el registro R0 siempre tiene valor cero. Entonces, si en IR hay una instrucción XXX R0, R1, R2, por Rs1 sale un cero, y se ponen las siguientes señales de control: OP-Y-SEL=@4 SEL-REG=1 WR-AR=1 OP-ALU=@ADD WR-PC=1. Si no se dispusiera de R0 no se podría hacer lo pedido.
3. Si. OP-Y-SEL=@0 WR-Rd=1 OP-ALU=@OR OP-Y-SEL=0
4. RD-DEST=1 WR-PC=1 OP-ALU=@ADD SEL-REG=1
5. No, porque el MUX superior no puede dejar pasar a PC y Rs2 al mismo tiempo.
6. OP-Y-SEL=@INST SEL-REG=1 OP-ALU=@ADD WR-IR=1
7. No, porque hay un acceso a memoria, lo que implica que en el mejor de los casos la memoria responde en el ciclo de reloj siguiente al de la petición. Sin embargo, si la memoria fuera tan rápida que pudiera responder en el mismo ciclo de reloj con un valor, si se podría, hacer, encendiendo las señales SEL-D y WR-PC.
8. No. Un argumento fácil es que como hay acceso a memoria, entonces ya no se puede hacer la operación en un solo ciclo de reloj. Sin embargo, incluso si la memoria fuera rápida (como en el punto anterior) no se podría hacer lo pedido, porque habría conflicto en el MUX inferior (pasa R1+R3 para entrar en Rd, o pasa Mem[AR] para entrar en IR).

## Problema 2

Para implementar LDRPC se modifica Y-SEL, como muestra la Figura 1, agregando una señal más a OP-Y-SEL, de forma que ahora OP-Y-SEL es de 3 bits y el multiplexor asociado es de 8 entradas (solo se muestran las relevantes). Como Y es de 32 bits, todas sus entradas son de 32 bits, incluyendo las entradas 0 y 4. La otra parte de la modificación es que con el nuevo OP-Y-SEL, que se asocia a la señal entrada 100 del multiplexor, se conecta a esa entrada los 18 bits menos significativos de INST, previa extensión a 32 bits. Finalmente a las señales de control se agrega a Y-SEL la señal @LDRPC. Las señales de control para la instrucción LDRPC son:

**Ex1** OP-Y-SEL=@LDRPC OP-ALU=@ADD WR-SR=1 WR-AR=1 OP-ABI=@W EN-A=1.

**Ex2** OP-DBI=@LDW SEL-D=1 WR-Rd=1 OP-ABI=@W EN-A=1.

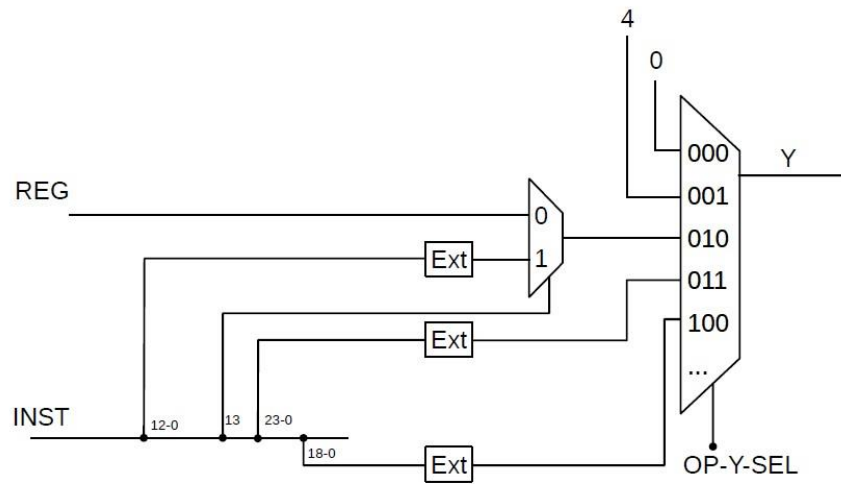


Figura 1: Extensión Y-SEL

### Problema 3

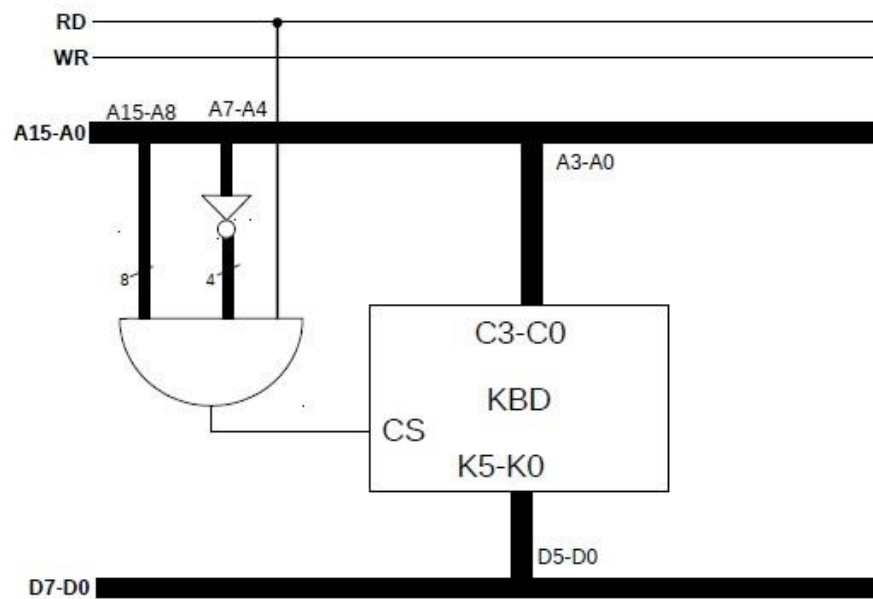


Figura 2: Interfaz circuito KBD

```
int consultar_tecla(int fila, int col){
    char *c = (char*)(0xFF00+col);
    return !((*c)&(1<<fila)==0);
}
```