

CC4301 Arquitectura de Computadores

Auxiliar 12

Prof. Aux.: Gaspar Pizarro V.

18 de noviembre de 2012

1. P3 Examen 2011-1, parte a

La tabla 1 muestra un extracto del contenido de un cache de 64 KB de 2 grados de asociatividad y líneas de 16 bytes. El computador posee un bus de direcciones de 20 bits. El cache se organiza en 2 bancos, cada uno con 4096 líneas. Por ejemplo en la línea 4f2 (en hexadecimal) del banco izquierdo se almacena la línea de memoria que tiene como etiqueta 04f2 (es decir, la línea que va de la dirección 04f20 en hexadecimal a la dirección 04f2f).

	Banco 1		Banco 2	
línea	etiq	cont	etiq	cont
301	4301		2301	
4f2	04f2		a4f2	
c36	dc36		1c36	

Cuadro 1: Estado de un caché

Un programa accede a las siguientes direcciones de memoria: a4f28, dc360, 53014, 2301c, 1c360, ec368, 84f20, dc36c, con un caché vacío. Conteste:

- Cuál es la porción de la dirección que se usa como etiqueta.
- Cuál es la porción de la dirección que se usa para indexar el caché.
- Qué accesos a la memoria son aciertos en el cache y cuáles son desaciertos, mostrando un posible estado final del cache.