

CC4301 Arquitectura de Computadores

Auxiliar 8

Prof. Aux.: Gaspar Pizarro V.

22 de octubre de 2012

1. P3 Control 2 2008-1

A continuación se muestran 8 conjuntos de transferencias entre registros para el diseño actual de M32. Considerando cada uno de estos conjuntos de forma independiente señale cuáles de ellos se pueden llevar a cabo en 1 solo ciclo de reloj y cuáles no. Si un conjunto de transferencias es válido, indique las señales de control necesarias para realizarlas. Si un conjunto no es válido, explique por qué.

1. $AR = PC; PC = PC+4$
2. $PC = 4; AR = 4$
3. $R1 = PC$ cuando IR contiene la instrucción ADD R2, R3, R1 ($R1 = R2+R3$)
4. $PC = R1+R3$ cuando IR contiene la instrucción ADD R2, R3, R1
5. $R1 = PC+R2$ cuando IR contiene la instrucción ADD R2, R3, R1
6. $IR = R2+R3$ cuando IR contiene la instrucción ADD R2, R3, R1
7. $PC = Mem[AR]$
8. $R1 = R2+R3; IR = Mem[AR]$ cuando IR contiene la instrucción ADD R2, R3, R1

Observaciones:

- No intente encontrar un sentido a estas transferencias.
- Recuerde que AR e IR son latches.

2. P1 Control 3 2011-1

Se desea agregar la instrucción SWAP a M32. Esta instrucción intercambia el valor de un registro con el de una palabra en memoria, es decir:

Notación assembler:

Instrucciones:

SWAP $[r_1 + \{imm|r_2\}], r_d$

$$\begin{aligned} aux &\leftarrow Mem[r_1 + \{imm|r_2\}] \\ Mem[r_1 + \{imm|r_2\}] &\leftarrow r_d \\ r_d &\leftarrow aux \end{aligned}$$

El formato de instrucción es el siguiente:

- 31-24: Instrucción.
- 23-19: r_d .

- 18-14: r_1
- 13: Determinante entre valor inmediato o registro.
- 12-0: $imm|r_2$. Si es r_2 entonces los bits 7 a 0 no están especificados.

1. Explique por qué no es posible implementar esta instrucción con el actual diseño de M32.
2. Modifique ligeramente M32 de tal forma que sí se pueda implementar SWAP, especificando componentes y señales de control adicionales.
3. Especifique ciclo por ciclo las señales de control que son necesarias para ejecutar SWAP. No es necesario que especifique las señales para la carga de la instrucción y la decodificación.

3. P1 Control 3 2012-1

Se desea agregar la instrucción LDRPC a M32 (*load relative to pc*). Esta instrucción lee una palabra de 32 bits en la memoria suministrando un desplazamiento relativo al registro PC, es decir:

Notación assembler:

LDRPC imm, r_i

Instrucciones:

$r_i \leftarrow Mem[PC + imm]$

El formato de instrucción es el siguiente:

- 31-24: Instrucción.
- 23-19: r_i .
- 18-0: imm .

No es posible implementar LDRPC con el diseño físico actual, puesto que no se puede llevar el desplazamiento de 19 bits a la ALU.

1. Modifique e implemente el módulo Y-SEL para que esta instrucción sea implementable. Su modificación debe ser tal que las actuales instrucciones de M32 continúen siendo implementables.
2. Indique ciclo por ciclo las transferencias entre registros y las señales de control necesarias para ejecutar LDRPC. No incluya la fase de fetch ni la fase de decodificación.