



Departamento de Ingeniería Eléctrica
Universidad de Magallanes

Diseño Analógico de Controladores Digitales

Apuntes del curso de Control Digital

Roberto Cárdenas Dobson

*Ingeniero Electricista Msc. Ph.D.
Profesor de la asignatura*

I. Diseño Analógico de Controladores Digitales.

El diseño analógico de controladores digitales es una metodología simple y que permite utilizar todas las herramientas de diseño enseñadas en la asignatura de control clásico (espero que las recuerden).

El diseño de controladores digitales utilizando métodos de diseño en el plano s , puede ser utilizado en aquellos sistemas de control digital donde el hardware (principalmente procesador digital y/o conversores ADs), puede operar con frecuencias de muestreo altas comparadas con la frecuencia natural del lazo de control (ω_n). Si esto no es posible entonces la metodología de diseño discutida en este apunte no es apropiada.

I.1 Efectos Dinámicos del Retentor de Orden Cero

Un sistema de control digital típicamente se compone de los siguientes elementos:

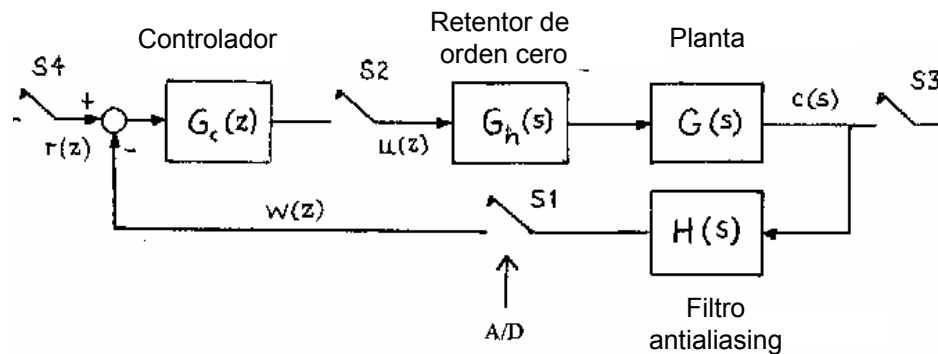


Fig. 1. Sistema de control digital

El retentor de orden cero o reconstructor, tiene la función de convertir los pulsos a la salida del controlador digital en señales como las que se muestran en la siguiente figura:

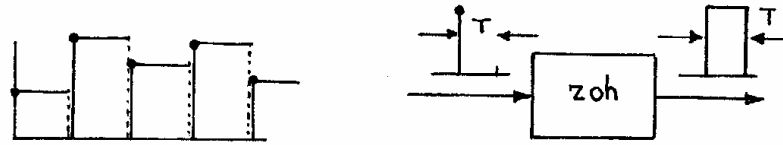


Fig. 2. Retentor de orden cero.

El retentor de orden cero (zero order hold o ZOH), mantiene constante la salida del controlador por un instante de muestreo. La función de transferencia del retentor de orden cero es:

$$G_{zoh}(s) = \frac{1 - e^{-sT_s}}{s} \quad (1)$$

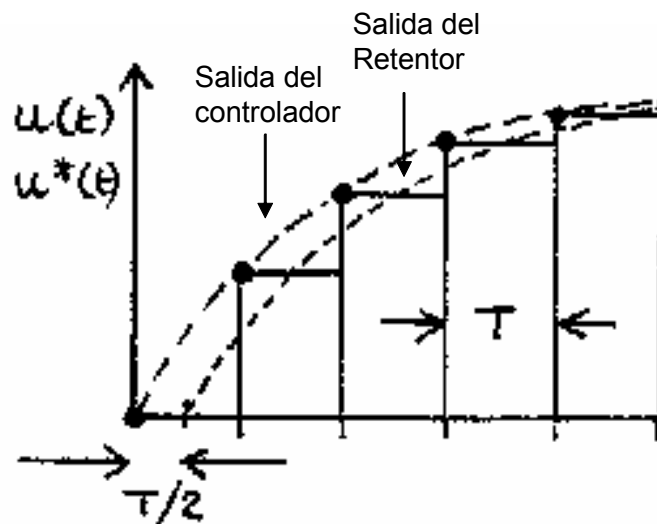


Fig. 3. Retardo de transporte producido por el retentor de orden cero.

El ZOH tiene dos efectos que deben ser considerados. El primero es un retardo de transporte de $T_s/2$, donde T_s es el tiempo de muestreo. Esto se muestra en la Fig. 3. Además del retardo producido por el retentor de orden cero, existen armónicos que son introducidos al sistema.

Si la frecuencia de muestreo es suficientemente alta comparada al ancho de banda del sistema, estos armónicos son eliminados y no se reflejan a la salida del sistema de control.

Los armónicos que se producen cuando la frecuencia de muestreo es diez veces mayor que una onda sinusoidal entregada por el controlador, se muestran en la Fig. 4.

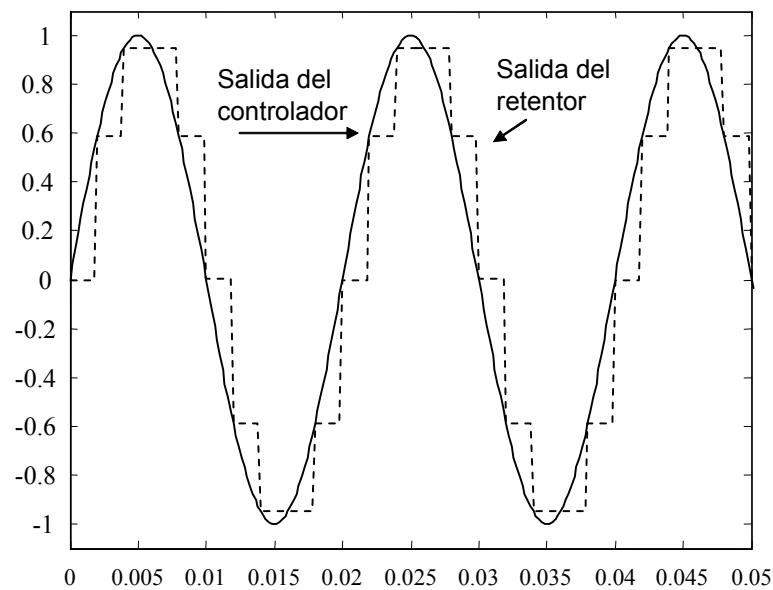


Fig. 4. Salida de controlador y retentor.

Nótese que en la Fig. 4 es claramente visible el retardo de transporte existente entre el retentor de orden cero y la salida del controlador. El término “salida del controlador” no es completamente exacto debido a que la salida de un controlador discreto es una señal muestreada. Sin embargo en la Fig. 4 se ha asumido que la envolvente de la salida de la salida del controlador es una señal sinusoidal.

Como se muestra en la Fig. 5, la salida del redentor de orden cero contiene la fundamental, mas armónicos que están ubicados en múltiplos de la frecuencia de muestreo.

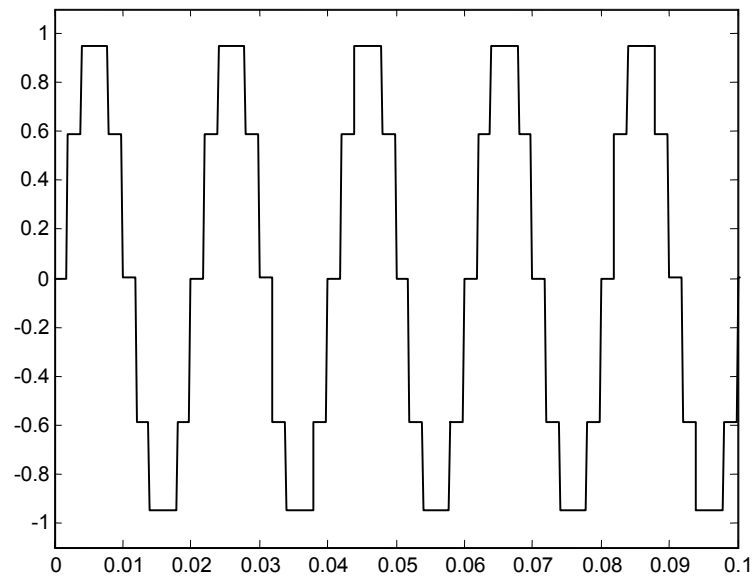


Fig. 5. Salida del retentor de orden cero.

I.2 Transformada Bilineal o de Tustin

La definición de z es:

$$z = e^{sT_s} \quad (2)$$

Un valor aproximado de z se obtiene como:

$$z = \frac{e^{sT_s/2}}{e^{-sT_s/2}} \approx \frac{1 + \frac{sT_s}{2}}{1 - \frac{sT_s}{2}} \quad (3)$$

Utilizando (3) se puede demostrar que:

$$s \approx \frac{2}{T_s} \frac{z-1}{z+1} \quad (4)$$

La expresión (4) se obtiene de la aproximación de primer orden de una función exponencial. Por lo tanto esta expresión tiene mayor exactitud cuando el tiempo de muestreo T_s es menor.

1.3 Diseño de Controladores Digitales Utilizando Métodos de Diseño Analógicos

Un controlador digital puede ser diseñado utilizando Root Locus, Bode u otra metodología de diseño en el plano s . El controlador así obtenido se discretiza utilizando la transformada bilineal. Sin embargo, debe tenerse en cuenta que la transformada bilineal es solo una aproximación. Además, al diseñar en el plano un s un sistema de control digital, usualmente el retardo de transporte del retentor de orden cero es despreciado, lo que produce una disminución del margen de fase (con su correspondiente efecto desestabilizante) cuando el tiempo de muestreo es bajo.

Si se diseña un sistema de control para la planta de la Fig. 6, considerando cero error en estado estacionario a entrada escalón, coeficiente de amortiguamiento de 0.8 y frecuencia natural de 30rads^{-1} , se obtiene el siguiente controlador PI:

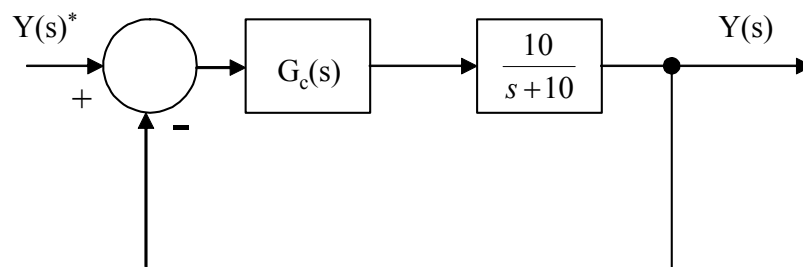


Fig. 6. Sistema de control analógico.

$$G_c(s) = 3.73 \frac{(s + 23.4)}{s} \quad (5)$$

Este controlador se obtuvo utilizando el Root-Locus implementado en el comando rltool del control toolbox de MATLAB . Utilizando la transformada bilineal, un controlador PI tiene la siguiente función de transferencia en el plano z :

$$G_c(s) = k_p \frac{(s + a)}{s} \Rightarrow G_c(z) = k_p \frac{\left(\frac{2}{T} \frac{z-1}{z+1} + a\right)}{\frac{2}{T} \frac{z-1}{z+1}} = k_p \left(1 + \frac{aT}{2}\right) \frac{\left(z + \frac{\frac{aT}{2} - 1}{\frac{aT}{2} + 1}\right)}{z - 1} \quad (6)$$

Finalmente, en el plano z la ecuación (6) correspondiente a un PI digital puede escribirse como:

$$G_c(z) = k_{pz} \frac{(z - a_z)}{z - 1} \quad (7)$$

Al discretizar el PI analógico de (5) utilizando una frecuencia de muestreo de 900rad/s^{-1} , ($T_s = 2\pi/900$) correspondientes a $\omega_s = 30\omega_n$, se tiene:

$$G_c(z) = 4.034 \frac{(z - 0.849)}{z - 1} \quad (8)$$

El correcto funcionamiento del controlador digital de (5) se demuestra utilizando el siguiente modelo de SIMULINK:

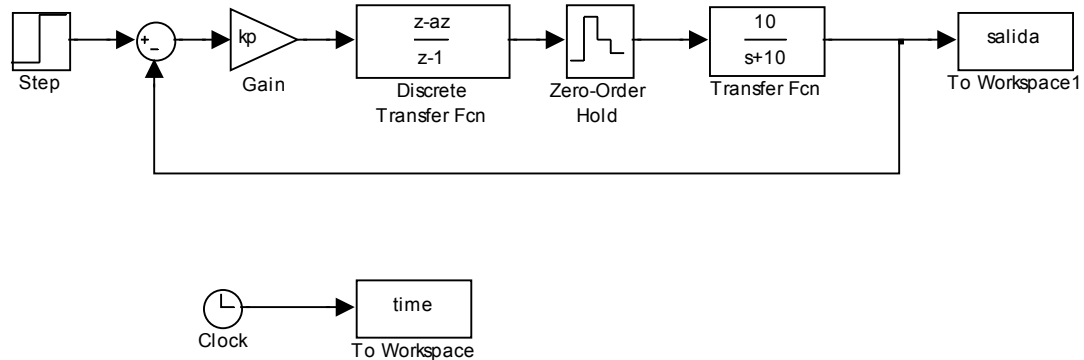


Fig. 7. Modelo de SIMULINK

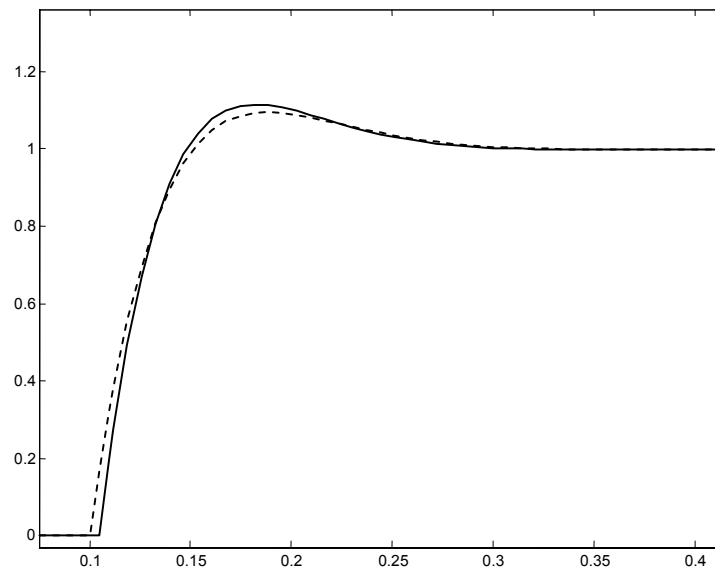


Fig. 8 Respuesta del sistema.

Nótese que en el sistema de la Fig. 7 y en el diseño del sistema de control digital, el filtro antialiasing no ha sido considerado. Esto se debe a que el filtro antialiasing es usualmente diseñado para una frecuencia de corte de aproximadamente $\omega_s/2$, lo que en este caso equivale a

$\omega_c \approx 15\omega_n$. Esto es muy alejado de los polos dominantes y por este motivo el efecto del filtro antialiasing es considerado despreciable.

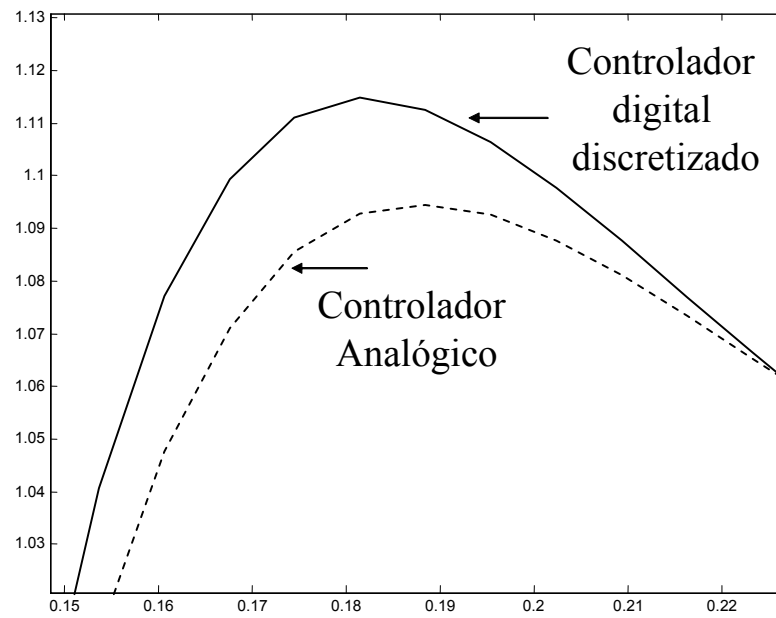


Fig. 9. Respuesta amplificada.

Fig. 8 muestra la respuesta del sistema de control discretizado y la respuesta del sistema de control analógico original. Fig. 9 muestra una amplificación del sobrepaso para ambas respuestas. La respuesta del controlador discretizado es muy similar al obtenido con el sistema de control analógico original, con un sobrepaso ligeramente mayor a la respuesta analógica.

El buen desempeño del controlador discretizado se debe a que la frecuencia de muestreo es muy alta comparada con la frecuencia natural. Sin embargo si la frecuencia de muestreo se reduce a 300rad/s^{-1} correspondiente a $\omega_s = 10\omega_n$ (frecuencia de muestreo bastante superior a la de Shannon), el nuevo controlador, obtenido al discretizar el PI de (5) con $T_s = 2\pi/300$ es:

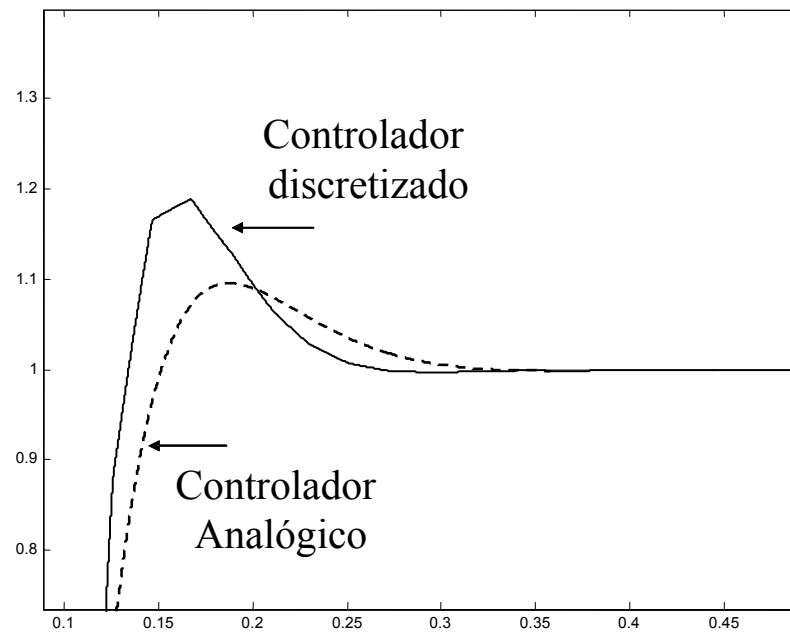


Fig. 10. Sobrepaso de ambas respuestas.

$$G_c(z) = 4.64 \frac{(z - 0.606)}{(z - 1)} \quad (9)$$

Fig. 10 muestra el sobrepaso para ambas respuestas. En este caso la respuesta del controlador discretizado es notoriamente distinta a la respuesta del controlador original. A pesar de que el controlador todavía funciona en términos que podrían ser aceptables, el coeficiente de amortiguamiento se ha reducido de 0.8 a aproximadamente 0.6. Esto se debe a que el retardo de transporte no ha sido considerado en el diseño. Además la transformada de Tustin es una aproximación que tiene mayor validez cuando el tiempo de muestreo es pequeño.

Notese en Fig. 10, que la respuesta del controlador discretizado es ligeramente discontinua. Esto se debe a que el algoritmo de simulación introduce algunas irregularidades, pero también se debe a que no se eliminan completamente algunos armónicos introducidos por el ZOH.

I.4 Exactitud de los Diseños Realizados Utilizando Tustin.

En general los diseños realizados utilizando Tustin tienen un buen desempeño si es que es posible utilizar una alta frecuencia de muestreo. Sin embargo, si el hardware utilizado no puede operar con altas frecuencias de muestreo, el desempeño del controlador discretizado puede ser notoriamente distinto al obtenido con el controlador analógico original.

En la Tabla I se muestra el desempeño de un control digital discretizado considerando distinta frecuencia de muestreo. En el diseño analógico el controlador fue diseñado para $\omega_n=7.07\text{rads}^{-1}$, con un coeficiente de amortiguamiento de $\zeta=0.707$.

Tabla I. Influencia de la frecuencia de muestreo en el desempeño del controlador discretizado.

ω_s / ω_n (ω_n continuo)	Frecuencia natural equivalente al utilizar el diseño discretizado	Coeficiente de amortiguamiento en z
1.5	2.34	Inestable
3	4.71	0.11
5	5.9	0.3
10	6.75	0.511
15	6.95	0.58
20	7.2	0.6
continuo	7.07	0.707

Como se demuestra en la Tabla I, el desempeño del controlador discretizado es bastante mejor cuando la frecuencia de muestreo es alta comparada con la frecuencia natural del diseño analógico.

En general la pérdida de amortiguamiento y frecuencia natural de un controlador discretizado, dependen del sistema de control y del diseño del controlador que se está discretizando (PI, PID, lead-lag, etc.). Sin embargo una regla ampliamente aceptada es asumir que no existe mayor pérdida de desempeño cuando el controlador se discretiza y se utiliza en un sistema de control digital con una relación $\omega_s / \omega_n > 30$. Esto es al menos 7 veces superior al límite establecido por la velocidad de Nyquist. (recuerde que en la presencia de ceros de lazo cerrado y/o polos de lazo cerrado mal amortiguado, el ancho de banda de un sistema puede ser hasta dos veces la frecuencia natural).

I.5 Desventajas de utilizar altas frecuencias de Muestreo.

Como se ha explicado anteriormente, la frecuencia de muestreo a utilizar en un sistema de control esta limitada por:

- a) *Límite inferior. Matemáticamente el límite inferior es la velocidad de Nyquist que establece que la frecuencia de muestreo debe ser al menos dos el ancho de banda de la señal muestreada.*
- b) *Límite superior. El límite superior esta establecido por el hardware utilizado en el sistema de control. Cuando la frecuencia de muestreo es mayor, menor es el tiempo disponible para implementar las ecuaciones diferencia del algoritmo de control. Además de lo anterior, para tiempos de muestreo altos puede ser necesario utilizar conversores A/Ds de mayor resolución, rapidez y costo.*

La siguiente tabla fue tomada de los apuntes de control digital del profesor Greg Asher de la Universidad de Nottingham. En ella se muestran los tiempos de procesamiento típicos para implementar el lazo de control y lazo de corriente en una máquina. Recuerde que en los sistemas de control de máquinas eléctricas el lazo de corriente se encuentra anidado en el interior del lazo de velocidad. Además, para ambos lazos, comúnmente se utiliza un controlador PI.

Tabla 2. Tiempos de procesamiento de un sistema de control digital utilizando distintos procesadores

<i>Lazo de control</i>	ω_n	$\omega_s=30\omega_n$	T_s	<i>uP Z80 a 2.5Mhz</i>	<i>uP 8086 a 8Mhz</i>	<i>uController 8051</i>
Lazo de velocidad	10rads^{-1}	300rads^{-1}	20mS	3mS	300uS	15-30uS
Lazo de corriente	100rads^{-1}	3000rads^{-1}	2mS	3mS	300uS	15-30uS

De acuerdo a lo que se muestra en la tabla, incluso cuando la frecuencia natural de la lazo de corriente es bastante baja, podrían existir problemas al implementar el sistema de control en un procesador lento (pero de bajo costo). En la actualidad el Z80 es muy poco utilizado en sistemas de control digital, pero existen microprocesadores lentos de bajo costo (por ejemplo algunos de la serie PIC) que no podrían ser utilizados para implementar controladores discretizados, debido a la alta frecuencia de muestreo necesaria para operar con un buen desempeño dinámico.

Otro punto que se debe considerar es que el procesamiento computacional introduce un retardo de transporte adicional. Idealmente el tiempo de procesamiento debería ser menor a un décimo del tiempo de muestreo ($T_{\text{procesamiento}} < T_s/10$). Si el tiempo de procesamiento ocupa una parte significativa del tiempo de muestreo, esto significa que la señal de control enviada hacia el actuador se entrega con una muestra de retardo con respecto a la adquisición de datos (que

típicamente se realiza al comienzo de ciclo de procesamiento). Por este motivo, cuando el tiempo de procesamiento del algoritmo de control es muy alto, se debe considerar un retardo adicional de un período de muestreo al momento de diseñar el controlador.

I.6 Diseño considerando los retardos de transporte.

Una forma alternativa de diseñar un controlador digital, utilizando discretización de controladores analógicos, es considerar en el diseño los retardos de transporte producidos en el retentor de orden cero y tiempo de procesamiento. En este caso el sistema de control de la Fig. 6 se modifica a:

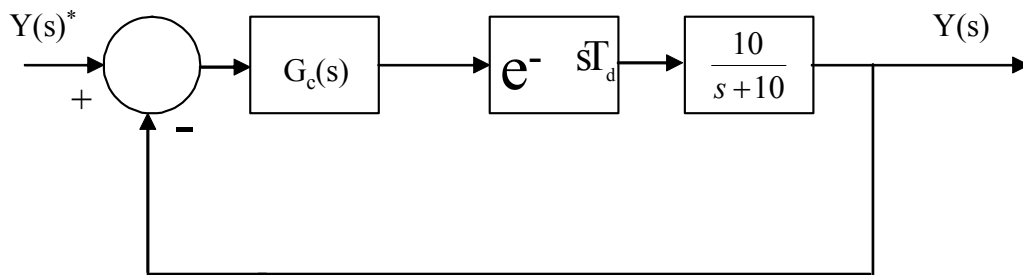


Fig. 11. Sistema de control incluyendo retardo de transporte.

Si consideramos que el tiempo de procesamiento es despreciable entonces, para $\omega_s=300\text{rads}^{-1}$ ($\omega_s=10\omega_n$), el retardo de transporte $T_d=T_s/2=0.0105$. Utilizando la aproximación de Padé de primer orden, la planta del sistema es transformada a:

$$G_p(s) = e^{-sT_s/2} \frac{10}{s+10} \approx \frac{-10s+1910}{s^2+201s+1910} \quad (10)$$

Diseñando para una frecuencia natural de 30rads^{-1} coeficiente de amortiguamiento de 0.8, se obtiene el siguiente controlador:

$$G_c(s) = 2.89 \frac{s + 20.5}{s} \quad (11)$$

Discretizando el controlador utilizando la transformada de Tustin y una frecuencia de muestreo de 300rad^{-1} se obtiene:

$$G_c(z) = 3.51 \frac{(z - 0.6465)}{z - 1} \quad (12)$$

Fig. 12 muestra la respuesta del controlador discretizado y la respuesta del diseño analógico original. Como se muestra en esta figura es posible conservar un coeficiente de amortiguamiento mas cercano al original (diseño analógico de (11)) cuando se considera el retardo en el proceso de diseño.

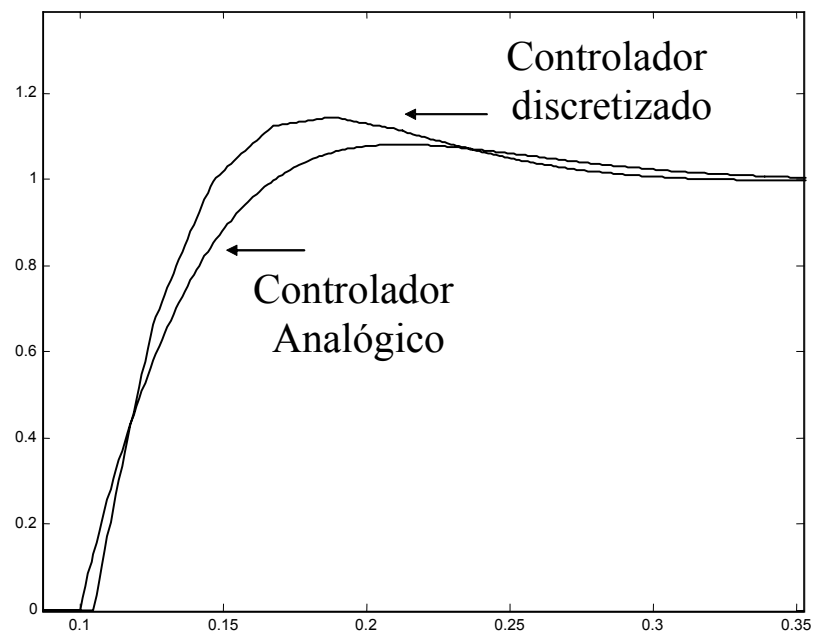


Fig. 12. Controlador discretizado.

Fig. 13 muestra las respuestas de sistemas de control discretizado a partir de diseños analógicos que consideran/no consideran los retardos de transportes producidos en el retentor de orden cero. Como se observa en esta figura, el sobrepaso del controlador diseñado sin considerar el retardo $T_d=T_s/2$ tiene un mayor sobrepaso, lo que en este caso es indicativo de un menor coeficiente de amortiguamiento.

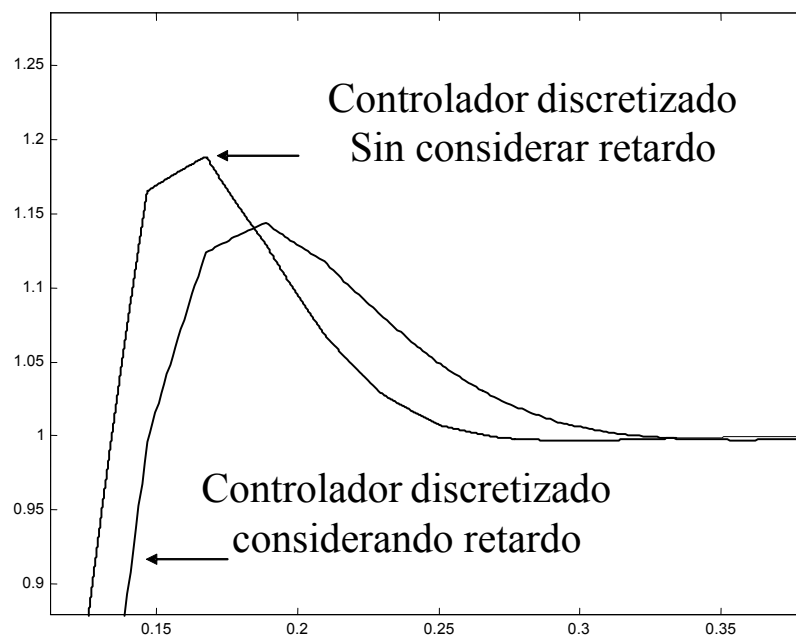


Fig. 13. Respuesta sin considerar/considerando el retardo de transporte en el diseño.

Las diferencias entre la respuesta del controlador diseñado sin considerar retardo, considerando retardo y controlador analógico, se acentúan cuando la razón entre la frecuencia de muestreo y la frecuencia natural del sistema se reduce aún más. En la Fig. 13 se muestra la

respuesta de los tres controladores para $\omega_s = 5\omega_n$. Para este caso el controlador digital, diseñado considerando el retardo de transporte del retentor de orden cero, es:

$$G_c(z) = 5.56 \frac{(z - 0.342)}{(z - 1)} \quad (13)$$

En Fig. 14, la respuesta de mayor sobrepaso corresponde al la discretización del controlador mostrado en (5), que no considera retardo. La respuesta de menor sobrepaso corresponde al controlador analógico original. En el medio de ambas respuestas se encuentra el controlador diseñado considerando el retardo de transporte de $T_s/2$.

En Fig. 14, se verifica claramente que la respuesta del controlador que no considera el retardo de transporte en su diseño, es muy oscilatoria y alto sobrepaso.

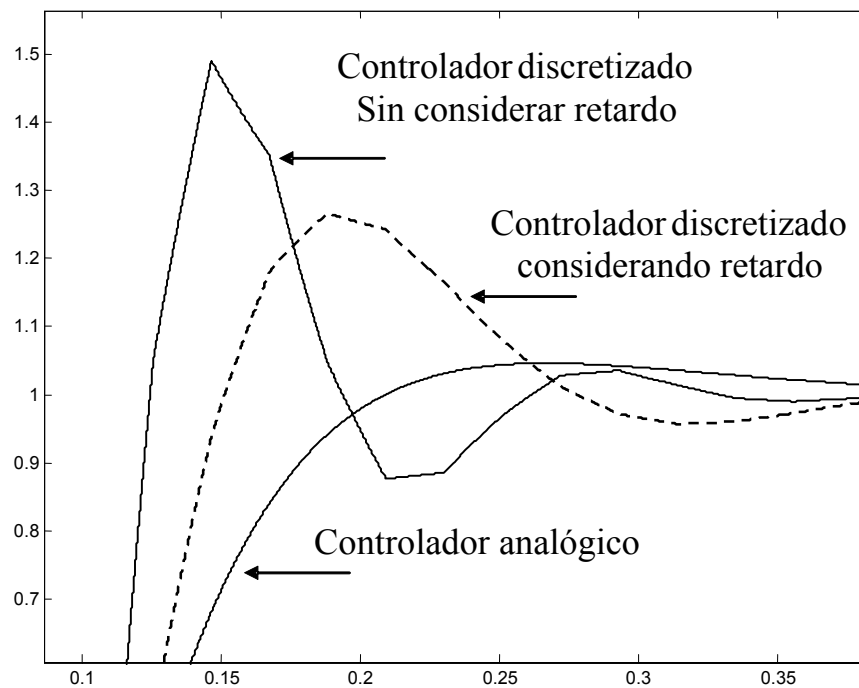


Fig. 14. Respuesta del sistema considerando $\omega_s=5\omega_n$.

A pesar de que el retardo de transporte pueda ser considerado, la implementación de controladores digitales a partir de diseños analógicos, es una técnica que conserva las propiedades dinámicas del sistema de control solo cuando la razón entre la frecuencia de muestreo y la frecuencia natural es relativamente alta. Si el hardware utilizado no permite altas razones de ω_s/ω_n , entonces la estrategia de diseño apropiada es utilizar diseño de controladores en el plano z , por ejemplo utilizando lugar de la raíz digital.

Cuando se utiliza diseño considerando retardo de transporte, una metodología de diseño apropiada es utilizar los diagramas de Bode que utilizan una representación exacta del retardo. Otra metodología posible es utilizar lugar de la raíz y representación del retardo utilizando Padé de primer o segundo orden. Sin embargo, recuerde que la expansión de Padé es solo una aproximación válida para un rango de operación.

I.6 Antiwinding-up para controladores PI digitales

En el plano z , el controlador digital PI está dado por la siguiente expresión:

$$G_c(z) = k_c \frac{(z - a_z)}{z - 1} \quad (14)$$

La expresión del PI digital puede descomponerse en dos partes, las cuales son:

$$G_c(z) = k_c \frac{(z - a_z)}{z - 1} = k_p + k_i \frac{z}{z - 1} \quad (15)$$

Donde $k_p = k_c a_z$ y $k_i = k_c(1 - a_z)$. El término k_p corresponde a la parte proporcional del controlador.

El término $k_i z/(z-1)$ corresponde a la parte integral del controlador.

Al igual que lo que se discutió en la asignatura de control clásico, antiwinding-up del componente integral de un controlador PI es necesario cuando la energía de la planta esta limitada. Esto es coherente con una aplicación real donde siempre la entrada de la planta está limitada por el actuador.

Un sistema que incluye el limitador de entrada a la planta se muestra en la Fig. 15.

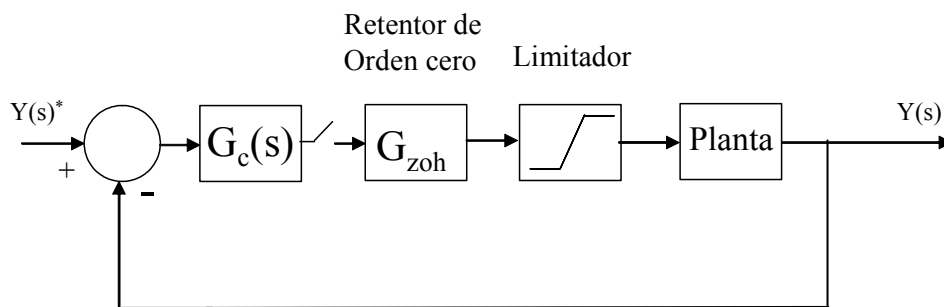


Fig. 15. Diagrama de control incluyendo limitador.

Suponiendo que la entrada de la planta se encuentra limitada entre los valores MAX y MIN, las ecuaciones diferencia del controlador PI, incluyendo antiwinding-up se implementan en el siguiente programa:

```
Error=y*-y;
O1=O0+ki*Error;
U=O1+kp*Error;
If (U>MAX)
    U=MAX;
Elseif (U<MIN)
    U=MIN;
Else
    O0=O1;
```

O_0 y O_1 son variables de memoria que se utilizan en la implementación del integrador de (15). Utilizando este programa, se asegura que el efecto integral, es decir la línea de programa $O_0=O_1$, se ejecuta solo cuando la salida del controlador (U) no ha tocado ninguno de los límites MAX, MIN del actuador. Esto efectivamente detiene la integración del controlador y evita los sobrepasos.

Para el sistema de control anteriormente estudiado y mostrado en la Fig. 16, se utilizará un modelo en SIMULINK, incluyendo antiwinding-up digital implementado en archivos de comando de MATLAB (archivos tipo m).

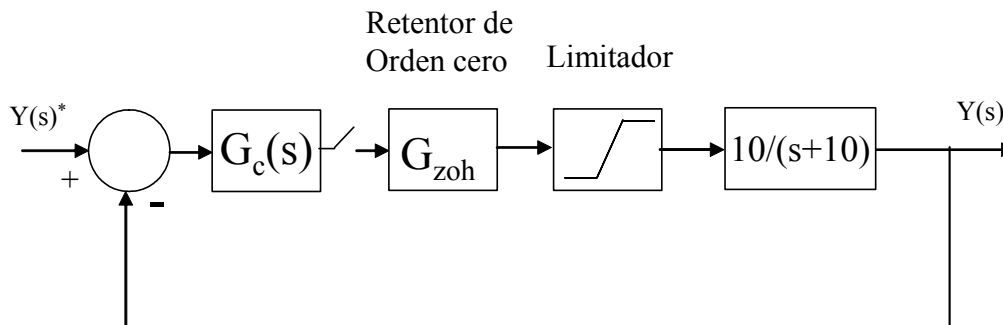


Fig. 16. Sistema de control incluyendo limitador.

El controlador digital a utilizar es el diseñado anteriormente para una frecuencia natural de 30rads^{-1} , coeficiente de amortiguamiento de 0.8, frecuencia de muestreo de 900rads^{-1} . La función de transferencia de controlador es:

$$G_c(z) = 4.034 \frac{(z - 0.849)}{(z - 1)} \Rightarrow k_c = 3.245 \quad k_i = 0.6091 \quad (16)$$

El sistema de control implementado en SIMULINK se muestra en la Fig 17. El PI incluyendo antiwinding up se implementa utilizando el bloque “Matlab function”. El bloque z/z es un muestreador. Esta función de transferencia es unitaria pero obliga al software a muestrear una señal analógica.

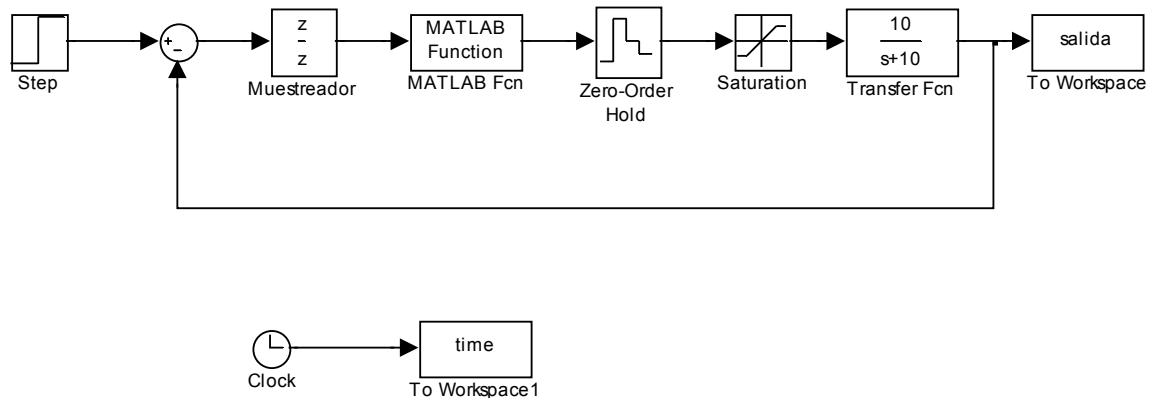
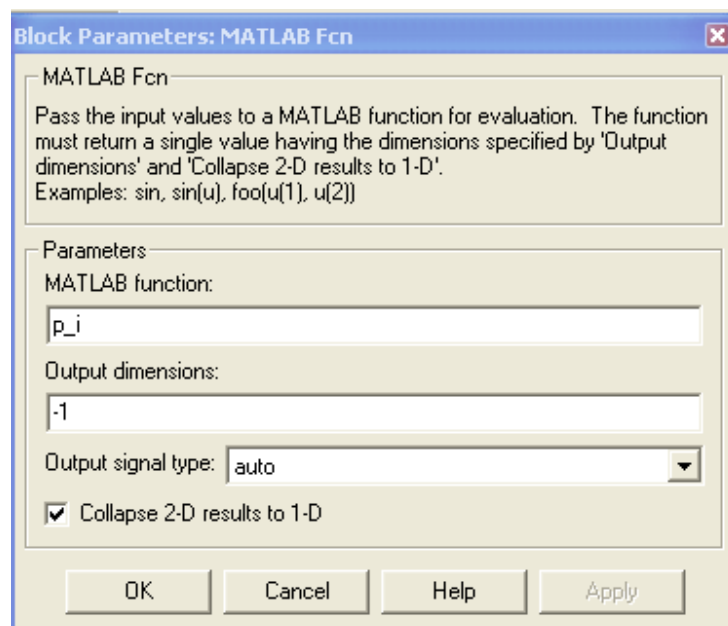


Fig. 17. Sistema de control incluyendo controlador con antiwinding-up.

El bloque “Matlab function” corresponde a:



El archivo de comando de la función `p_i` implementada es el siguiente (esta función se encuentra en el archivo `p_i.m`).

```

% Esta funcion implementa un controlador
% PI con antiwinding up
%
function [Vout] = PI(error)
global Oo O1 kp ki;
global Emax Emin;
% controlador PI

O1=Oo+ki*error;
Vout=O1+kp*error;
%
% antiwind up.
%
if (Vout>Emax)
    Vout=Emax;
elseif (Vout<Emin)
    Vout=Emin;
else
    Oo=O1;
end;
return

```

Antes de ejecutar la simulación digital, el archivo inicial.m debe ser ejecutado. Este archivo define valores como los límites del actuado, las constantes del controlador, tiempo de muestreo, etc. Además inicializa las variables del integrador Oo, O1.

```

% Valores iniciales del sistema de control
%
global Oo O1 kp ki;
global Emax Emin;
Ts=2*pi/900;
kp=4.034*0.849; %kp=kc*az;
ki=4.034*(1-0.849); %ki=kc*(1-az);
O1=0;
Oo=0;
Emax=1.5;
Emin=-1.5;

```

Los resultados de simulación se muestran en las Figs. 18 y 19. La Fig. 18 muestra el desempeño del sistema de control considerando antiwinding-up. La Fig. 19 muestra el desempeño del sistema de control cuando el antiwinding up ha sido desactivado.

Como se muestra en las Figs. 18 y 19, un controlador PI digital, sin antiwinding up se comporta de la forma discutida en la asignatura de control clásico. Por lo tanto los principales efectos de no utilizar antiwinding-up son alto sobrepaso y bastante mayor tiempo de establecimiento. Incluso la estabilidad del sistema puede verse comprometida si es que no se limita la parte integral del controlador y se utiliza un alto ancho banda en el lazo de control.

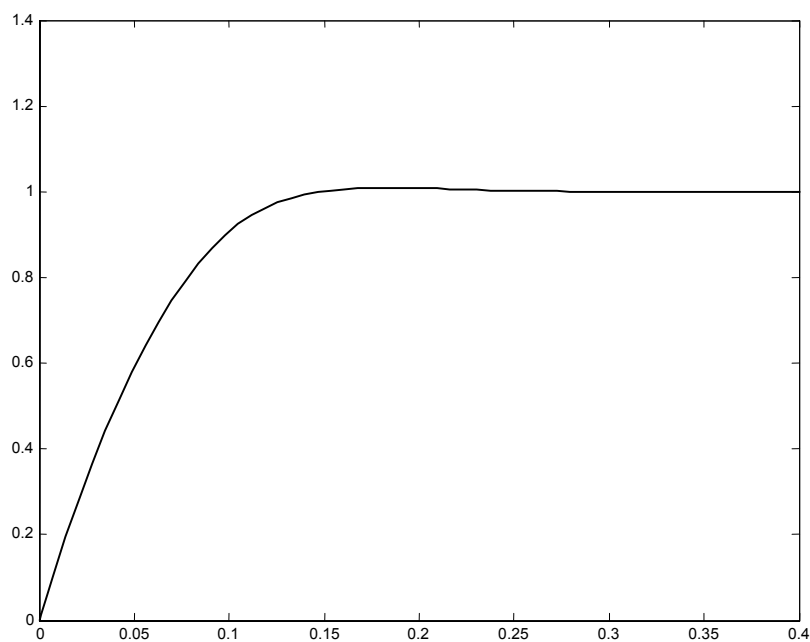


Fig. 18. Desempeño del sistema de control considerando antiwinding-up.

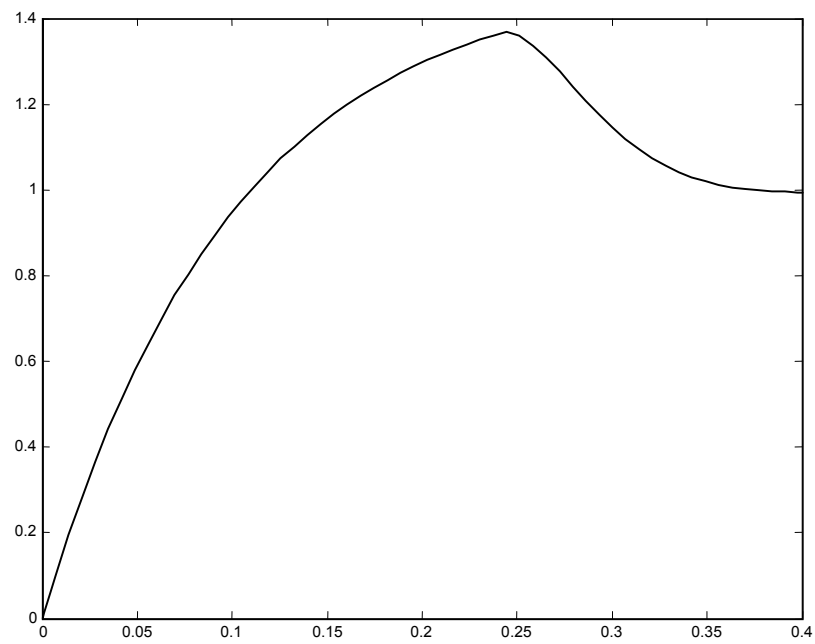


Fig. 19. Desempeño del sistema de control sin considerar antiwinding-up.