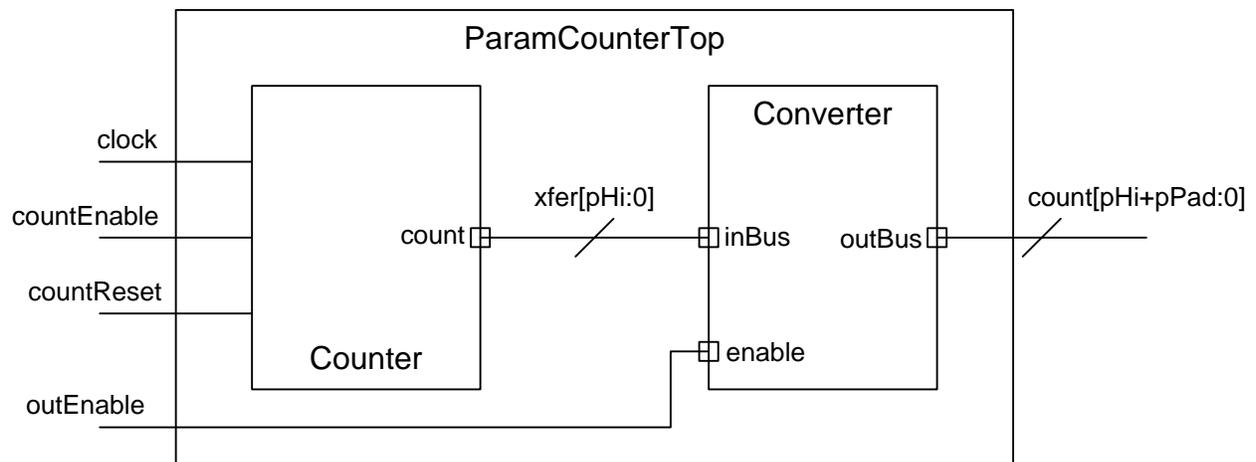


Tarea 2

Primera Etapa

Se trata de sintetizar un diseño parametrizado. El diseño consiste de un módulo de alto nivel y dos submódulos de acuerdo a la siguiente figura



El diseño es un contador reseteable que pone su resultado en los bits inferiores de un bus de salida de ancho configurable.

Una vez terminada la escritura en Verilog del diseño, asigne el valor 8 al parámetro y sintetice el diseño. Optimice el diseño en área y en tiempo.

Luego de finalizar con el parámetro en 8, aumente este valor y sintetice nuevamente analizando lo que sucede.

Segunda Etapa: Creación de un diseño para simular operaciones aritméticas

Cree un módulo para simulación en Verilog que considere números enteros. Aplique operaciones aritméticas a estos números en el simulador y revise los resultados. Verifique los siguientes casos

1. A, B, X declarados como integer considerando $A = 16$, $B = -8$, $X = A + B$, $X = A - B$, $X = B - A$
2. Igual anterior pero con las variables declaradas como reg [31:0] (use 32'd para asignar a estos reg)
3. Igual anterior con los siguientes cambios:
 - a. Solo X declarado como integer
 - b. Solo A declarado como integer
 - c. Solo B declarado como integer

Tercera Etapa

Para ver el efecto del truncamiento y ensanchamiento de varios tipos, cree un modulo Verilog y pruebe lo siguiente en el simulador. Utilice las siguientes declaraciones integer Int; reg [7:0] Byte; reg [31:0] Word; reg [63:0] Long; y reg [127:0] Dlong. Inicialize cada variable en 0.

1. Asigne 6'd1 y luego -6'd1 y vea lo que sucede, pruebe con radicales hexadecimal y decimal
2. Asigne 36'd1 y luego -36'd1 a cada variable como en 1
3. Asigne 1 y -1 a Int y use Int para asignar a los otros. Vea los resultados
4. Asigne 32'h7eee_777f a Word y use Word para asignar las otras variables. Este valor tienen un 0 en el MSB por lo que es un número positivo
5. Asigne 32'hf777_eee7 a Word y use Word para asignar las otras variables. Este valor tienen un 1 en el MSB por lo que es un número negativo