

Funcionamiento del Integrado 74HC165

El integrado 74HC165 es un shift register de 8 bits el cual puede ser configurado como un serial-in, serial-out (SISO) o parallel-in, serial-out (PISO). El comportamiento SISO se obtiene cuando las entradas Shift/Load esta en “high” (equivalente a que el shift register no se encuentre procesando las entradas en paralelo) y el clock enable este en “low” (equivalente a que el integrado este sincronizado con el reloj); a su vez el comportamiento PISO se logra al tener la entrada Shift/Load en “low” y el clock enable en “high” durante el periodo de adquisición de datos y luego en “low” durante el proceso de trabajo. Estas disposiciones se detallan a continuación.

SISO:

Esta configuración se distingue de la PISO al recibir los bits en forma serial. Para ello se debe setear el primer pin (Shift/Load) a un nivel “high”, con lo cual bloquea cualquier entrada paralelo. Además su decimo quinto pin correspondiente al “clock enable”, la señal debe estar seteada en un nivel “low”, es decir, como dijimos, el integrado está sincronizado con la entrada de reloj. De este modo el integrado estará operando como un shift register serial input – serial output. Finalmente el integrado a medida que recibe los bits de información, los registrará en su registro de Q_1 a Q_6 según el orden de llegada, luego se puede establecer que el atributo de los 8 bits de trabajo del “shift register” corresponden a el bit en espera a entrar, los 6 bits guardados y el octavo bit que es entregado al detectar un bit que ingresa al circuito.

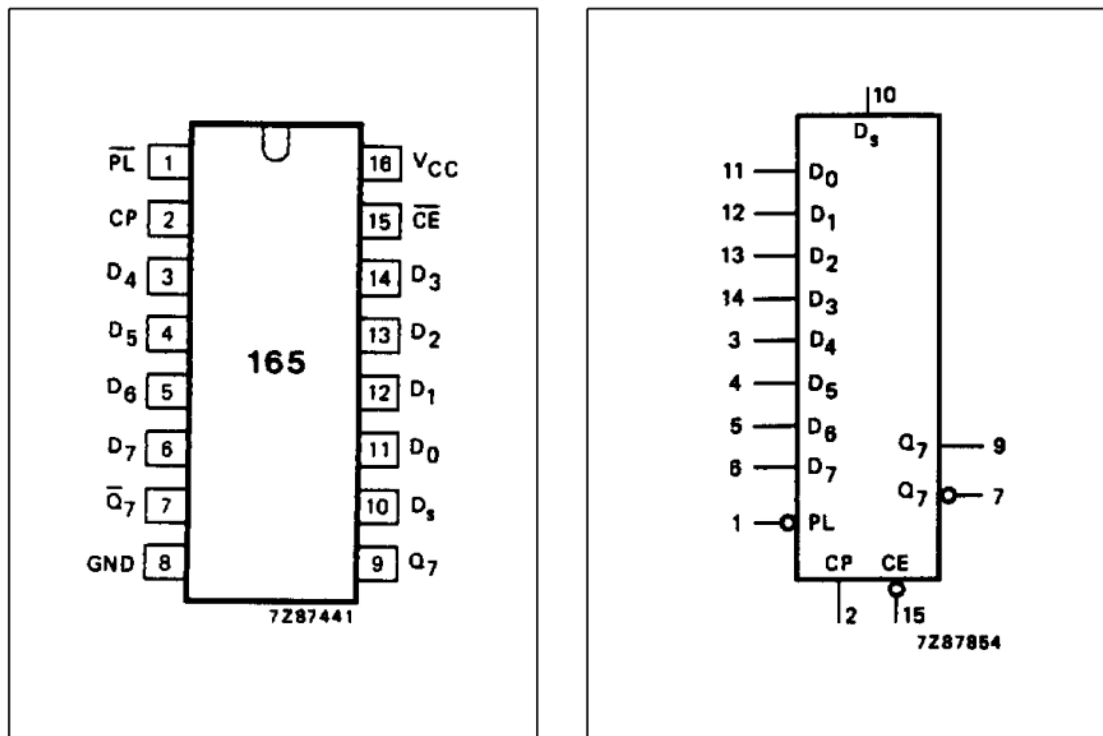


Figura 2.1.- Diagrama de encapsulado de el integrado 74HC165.

PISO:

Este display a diferencia del descrito anteriormente, recibe un número binario en forma simultánea para todas sus entradas D_0 a D_7 , esto se da debido a que el “clock enable” se encuentra con una entrada de nivel “high” la que en conjunto con el pin “Shift/Load” en “low” permite la detección de cada entrada, puestas en paralelo. Es importante destacar que en este modo de operación el integrado se comporta como un circuito asíncrono. Como se puede apreciar en la figura 2.2 una vez que el “clock enable” comienza a recibir una entrada “low”, el integrado comienza a depender del clock, dando así lugar a los cambios sincronizados en la salida, la cual adopta de manera secuencial cada valor guardado. Cabe destacar que en este proceso la única manera de variar el registro del integrado es al encender la entrada que corresponde al “clock enable”, no se posee un almacenamiento dinámico como en la configuración SISO.

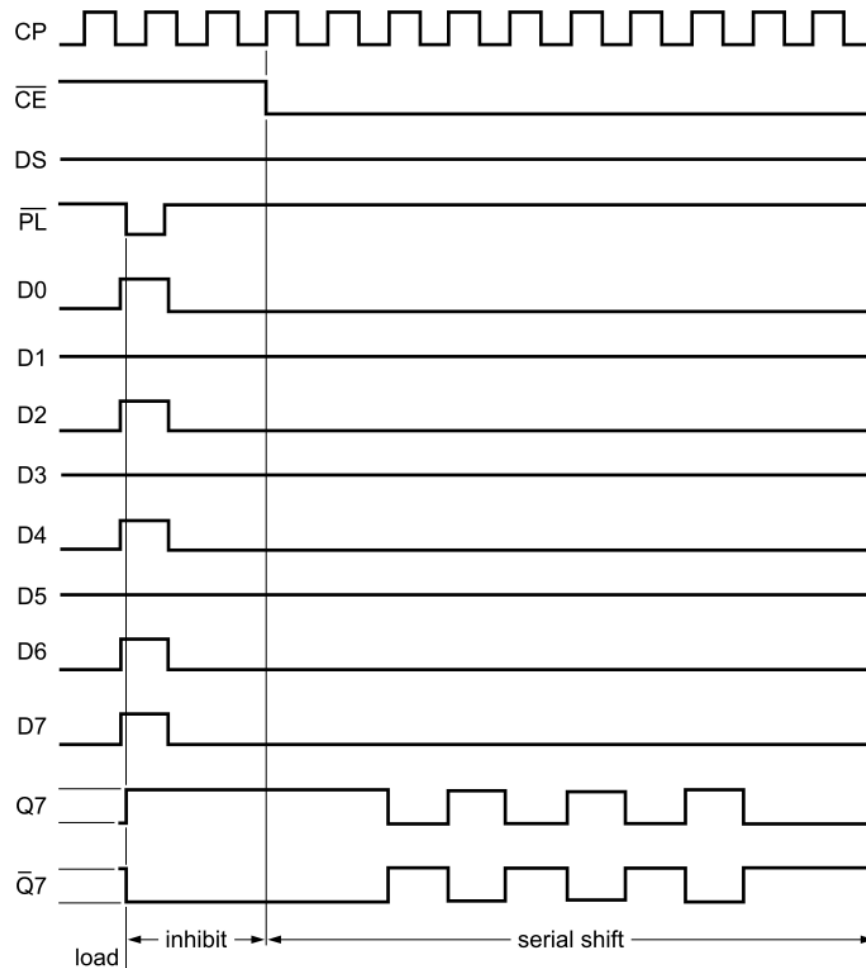


Figura 2.2.- Diagrama de trabajo de la configuración PISO.

Referencias : Thomas L. Floyd – Fundamentos de Sistemas Digitales, Prentice Hall.