

Examen

EL42B – Procesamiento Digital de la Información

Fecha: 17 de Julio de 2010

1. Responda las siguientes preguntas fundamentando siempre su respuesta:

- (a) ¿Qué diferencias y qué ventajas tiene el método de simplificación tabular de Quine–McCluskey sobre el método de mapas de Karnaugh?
- (b) Defina la distancia mínima d_{min} entre dos palabras de código y a partir de ésta explique cuántos errores se pueden detectar y corregir.
- (c) Se tiene un código con 5–bits de información, $(i_4, i_3, i_2, i_1, i_0)$, y 3–bits de chequeo tales que

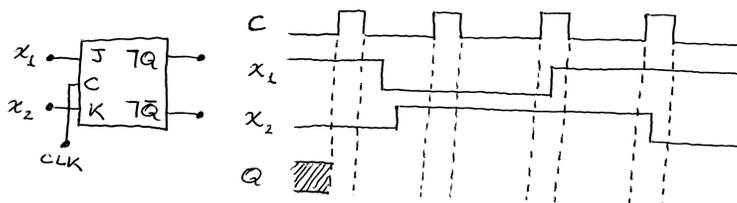
$$q_2 = i_4 \oplus i_3 \oplus i_2 \oplus i_1 \oplus i_0$$

$$q_1 = i_4 \oplus i_3 \oplus i_2$$

$$q_0 = i_2 \oplus i_1 \oplus i_0$$

Indique las matrices de generación y chequeo de paridad, y encuentre la distancia mínima de las palabras de este código.

- (d) Para el flip–flop JK que se muestra en la figura, complete el diagrama de tiempo con la forma de onda de la salida Q .



- (e) Construya un flip–flop T usando sólo un flip–flop SR y compuertas AND.
- (f) Construya un flip–flop T usando sólo un flip–flop D, un multiplexor 2–a–1 y compuertas NOT.

En los siguientes problemas:

- Siempre asigne los estados utilizando código Gray.
- No dibuje el circuito final. Solo escriba las ecuaciones algebraicas para: la salida y cada una de las entradas a los dispositivos de memoria.

2. Derive un diagrama de estados mínimo para un circuito secuencial síncrono que reconozca la secuencia de entrada 1010. Las secuencias se pueden traslapar. Por ejemplo:

$$x = 00101001010101110$$

$$z = 00000100001010000$$

Implemente el diagrama de estados con un circuito síncrono utilizando flip-flops JK y compuertas AND, OR y NOT.

3. Determine una realización de la siguiente tabla de transición de estados como un circuito secuencial en modo-pulso. Utilice flip-flops JK y compuertas AND, OR y NOT. En su diseño indique también la entrada a las señales de reloj de los flip-flops y si éstos se deben activar en tiempos de subida o de bajada. Asuma que los retardos acumulados en el módulo de lógica combinacional son menores a la duración de los pulsos de entrada.

Estado Presente	x_1	x_2	x_3
A	A/1	B/0	C/1
B	B/1	C/0	D/0
C	C/1	D/0	A/1
D	D/1	A/0	B/1

4. Diseñe un circuito secuencial en modo-pulso con mínimo número de estados que satisfaga las siguientes especificaciones. Utilice compuertas AND, OR y NOT y latches tipo SR para lograr el diseño. El circuito debe tener 2 entradas, x_1 y x_2 , y una salida, z . La salida debe generar un pulso en forma simultánea al último de tres pulsos consecutivos en la entrada si y solo si esta secuencia contiene al menos dos pulsos en x_1 .