Proyecto

Proyecto de diseño de hardware, mediante el uso de lenguaje VHDL, y su posterior síntesis para la implementación al interior de una FPGA (Field Programmable Gate Array).

El diseño en VHDL consistirá en dotar de dos periféricos a un microcontrolador, también modelado en VHDL y disponible desde un principio. Los tres módulos se sintetizarán para configurar una FPGA. Se deberá además programar en assembler el microcontrolador para que utilice las interfaces con un propósito determinado.

El proyecto etapas a saber:

- 1) Desarrollo de una interfase de comunicaciones seriales, común para todos los grupos. En esta etapa el objetivo es que los alumnos aprendan cómo implementar una máquina de estados en VHDL, y sintetizarla para su implementación en hardware.
- 2) Desarrollo de una interfase diferente por grupo, orientada a la comunicación con un dispositivo determinado, tal como un monitor VGA, un teclado, un mouse, un display LCD, una memoria SPI o I2C, etc. El objetivo de esta etapa es que los grupos demuestren una mayor capacidad de diseño, en tareas un poco más específicas.
- 3) Integración de las dos interfaces de las etapas anteriores a un microcontrolador, el cual además deberá ser programado en assembler para que controle las interfaces en el logro de un desempeño definido.

Esta actividad busca contextualizar los fundamentos cubiertos en cátedra, al mismo tiempo que exponer a los alumnos a una problemática de diseño y trabajo en equipo.

Evaluación y Criterio de Aprobación

El proyecto consta de dos evaluaciones intermedias (EI1, EI2), más la evaluación final (EF). La nota final de proyecto es:

$$NP = 0,2 \times EI\ 1 + 0,2 \times EI\ 2 + 0,6 \times EF.$$

Cada evaluación intermedia deberá aprobarse por separado con nota igual o superior a 4, en caso de que un grupo no logre este objetivo, en la evaluación siguiente tendrá la oportunidad de mostrar nuevamente sus resultados, y obtener nota máxima 4 en dicha evaluación.

IMPORTANTE: LA ASISTENCIA AL LABORATORIO ES OBLIGATORIA. SE DESCONTARÁ 1 PUNTO EN LA NOTA FINAL DE LA ACTIVIDAD POR CADA FALTA.