

EL 42B PROCESAMIENTO DIGITAL DE LA INFORMACION

Semestre: Primavera 2009

Profesor: Claudio A. Pérez F. (clperez@ing.uchile.cl)

Prof. Aux.: Alonso Astroza

SEMANA	ACTIVIDAD
1) 27/07-02/08	Inicio de Clases, Cátedra 1
2) 03/08-09/08	Cátedra 2-3
3) 10/08-16/08	Cátedra 4-5 (15/08 Feriado)
4) 17/08-23/08	Cátedra 6-7
5) 24/08-30/08	Cátedra 8-9
6) 31/08-06/09	Cátedra 10-11, Control 1 (VI 04/09)
7) 07/09-13/09	Cátedra 12-13
8) 14/09-20/09	Vacaciones Alumnos
9) 21/09-27/09	Cátedra 14-15
10) 28/09-04/10	SEMANA OLIMPICA (clases hasta las 12:00)
11) 05/10-11/10	Cátedra 16-17
12) 12/10-18/10	Cátedra 18, Control 2 (VI 16/10) (12/10 Feriado)
13) 19/10-25/10	Cátedra 19-20
14) 26/10-01/11	Cátedra 21-22
15) 02/11-08/11	Cátedra 23-24
16) 09/11-15/11	Cátedra 25-26, Control 3 (VI 13/11)
17) 16/11-22/11	Cátedra 27-28, ULTIMO DIA DE CLASES (21/11)
EXAMEN (23/11-09/12)	

Evaluación del curso:

La evaluación del curso se hará a través de 3 controles y un examen. Se realizará un mínimo de 4 tareas y además se realizarán 2 actividades de participación en clases evaluadas. Se realizarán interrogaciones en clases voluntarias. Para aprobar el curso se deberá tener nota superior a 4.0 tanto en controles/examen, como en tareas y en actividades de participación en clases. No se eliminarán tareas ni actividades de participación. Se eximen aquellos alumnos con notas superiores a 5.5 en cada una de las actividades del curso y que hayan realizado todas las actividades del curso. La nota final $NF=0.7NC+0.25NT+0.05AP$, con $NC=(C1+C2+C3+EX)/4$, NT =nota de tareas y AP =actividades de participación en clases.

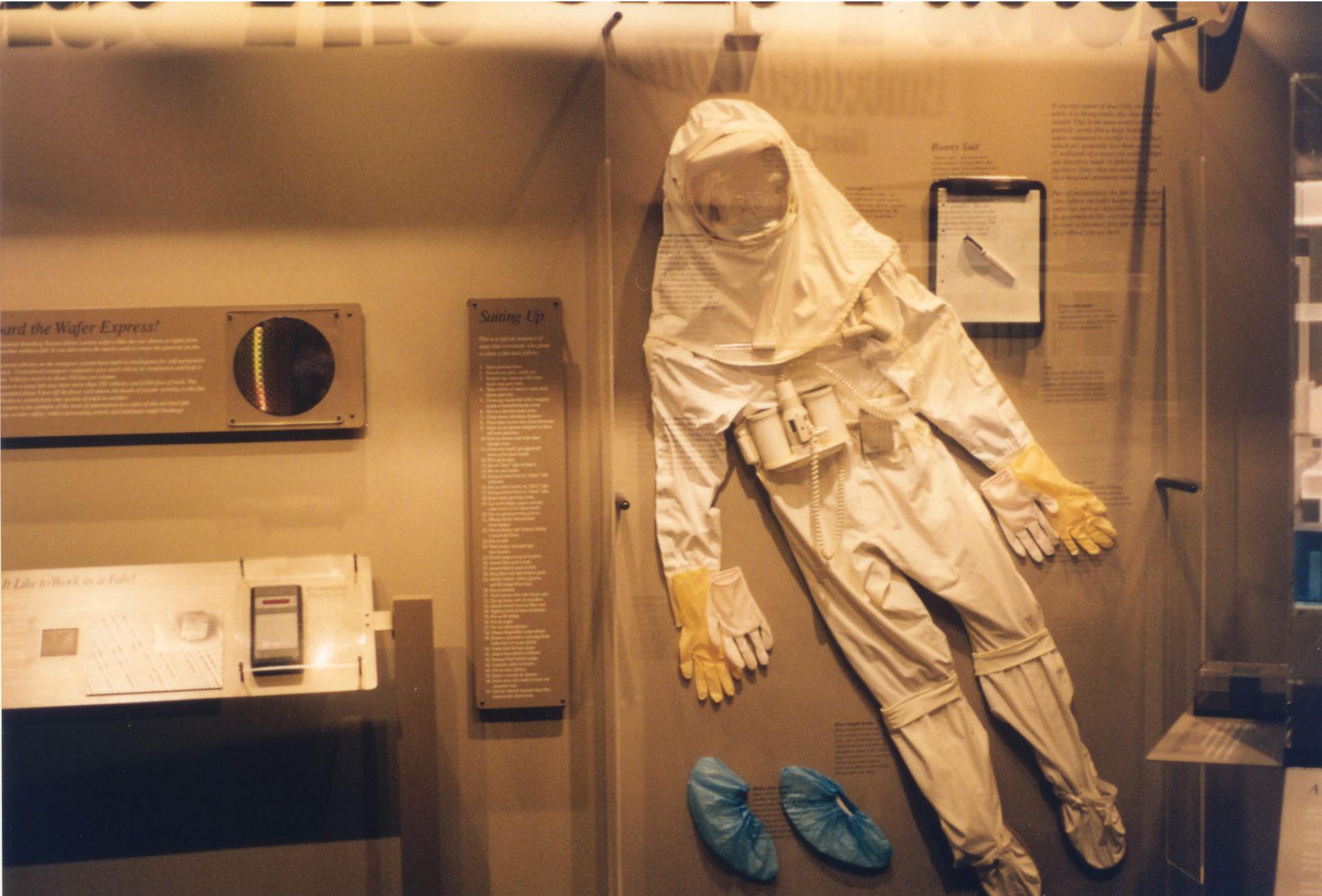
Bibliografía:

- 1 Breeding K, "Digital Design Fundamentals", Prentice Hall, 1989.
- 2 Floyd T.L., "Fundamentos de Sistemas Digitales", Prentice Hall, 6ª Ed., 1998.
- 3 Gajski D, "Principios de Diseño Digital", Prentice Hall, 1997.
- 4 Hill F, Peterson G, "Introduction to Switching Theory and Logical Design", John Wiley & Sons, 1981.
- 5 Kohavi Z, "Switching and Finite Automata Theory", McGraw Hill, 1970.
- 6 Mano M, "Logic and Computer Design Fundamentals", Prentice Hall, 2004.
- 7 Peterson W, Weldon F, "Error-Correcting Codes", MIT Press, Cambridge, 1972.
- 8 Roth C, "Fundamentals of Logic Design", Thomson Learning, 2006.
- 9 Tocci R.J., "Sistemas Digitales: Principios y Aplicaciones", Prentice Hall, 1996.
- 10 Wakerly J, "Digital Design: Principles & Practices", Prentice Hall, 2006.

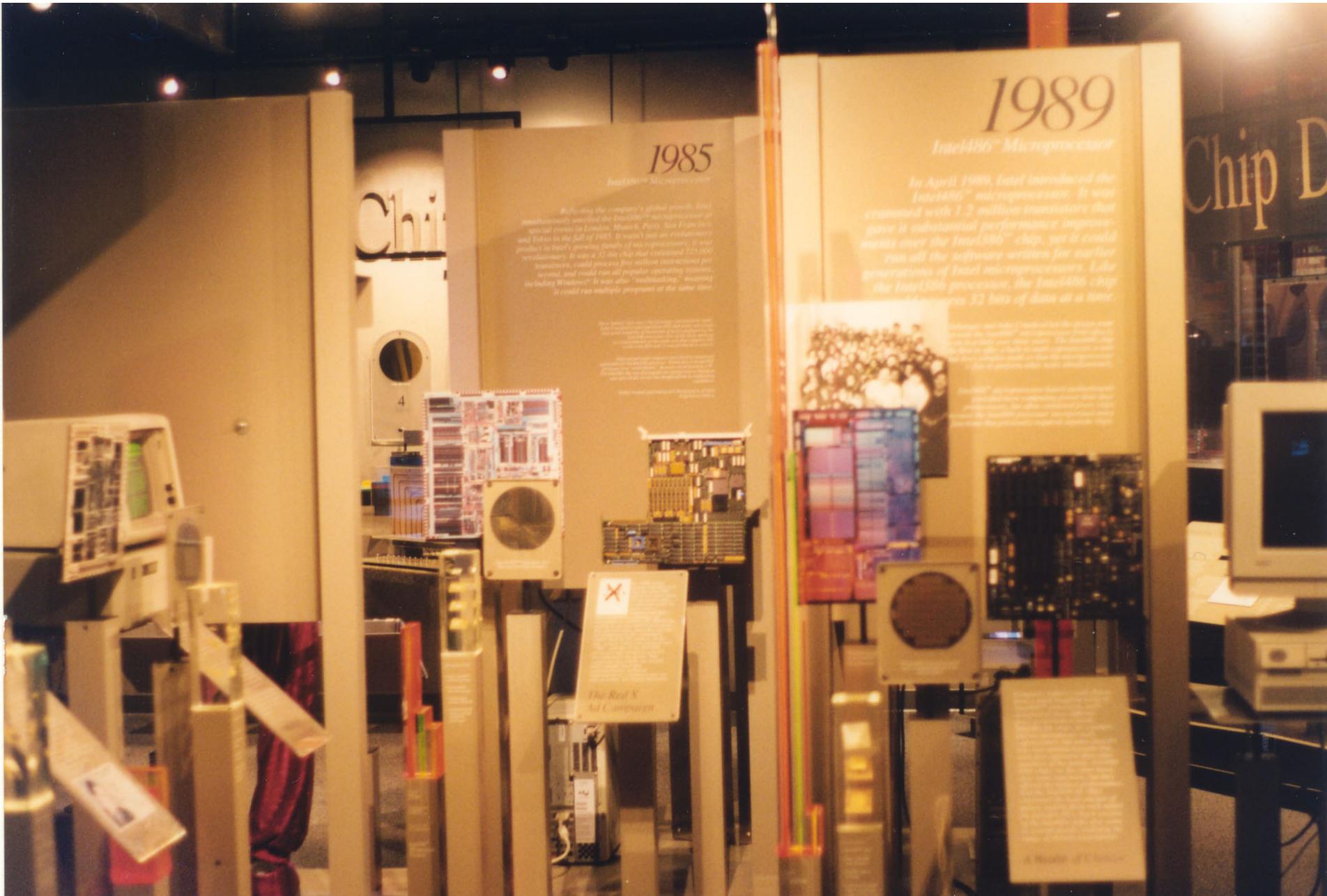
INTEL – San José, California, EE.UU.



Construcción de chips



Familias de procesadores



1985

Intel 80386 Microprocessor

Reflecting the company's global growth, Intel ceremoniously unveiled the Intel 80386 microprocessor at special events in London, Munich, Paris, San Francisco, and Tokyo in the fall of 1985. It wasn't just an evolutionary product in Intel's growing family of microprocessors; it was revolutionary. It was a 32-bit chip that executed 125,000 instructions, could process five million instructions per second, and could run all popular operating systems, including Windows®. It was also "multitasking," meaning it could run multiple programs at the same time.

Intel 80386 microprocessor features a 32-bit data bus, 32-bit registers, and a 32-bit instruction set. It also includes a floating-point unit (FPU) and a cache controller. The chip is designed for high-performance applications and is compatible with the Intel 80387 floating-point coprocessor.

1989

Intel 486 Microprocessor

In April 1989, Intel introduced the Intel 486 microprocessor. It was crammed with 1.2 million transistors that gave it substantial performance improvements over the Intel 386 chip, yet it could run all the software written for earlier generations of Intel microprocessors. Like the Intel 386 processor, the Intel 486 chip could process 32 bits of data at a time.

Intel 486 microprocessor features a 32-bit data bus, 32-bit registers, and a 32-bit instruction set. It also includes a floating-point unit (FPU) and a cache controller. The chip is designed for high-performance applications and is compatible with the Intel 80387 floating-point coprocessor.

Intel 486 microprocessor features a 32-bit data bus, 32-bit registers, and a 32-bit instruction set. It also includes a floating-point unit (FPU) and a cache controller. The chip is designed for high-performance applications and is compatible with the Intel 80387 floating-point coprocessor.

The Red X
All Computers

A World of Choices

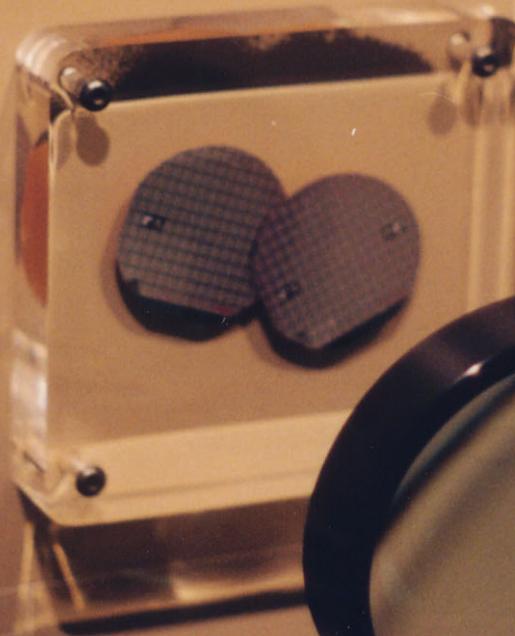
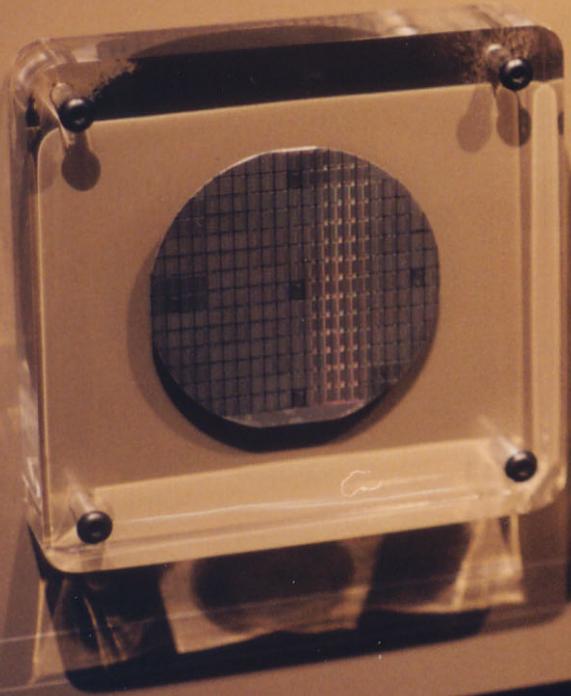
Wafer

importance was recognized later when HMOS was applied to microprocessors and other devices to increase density and improve performance dramatically.

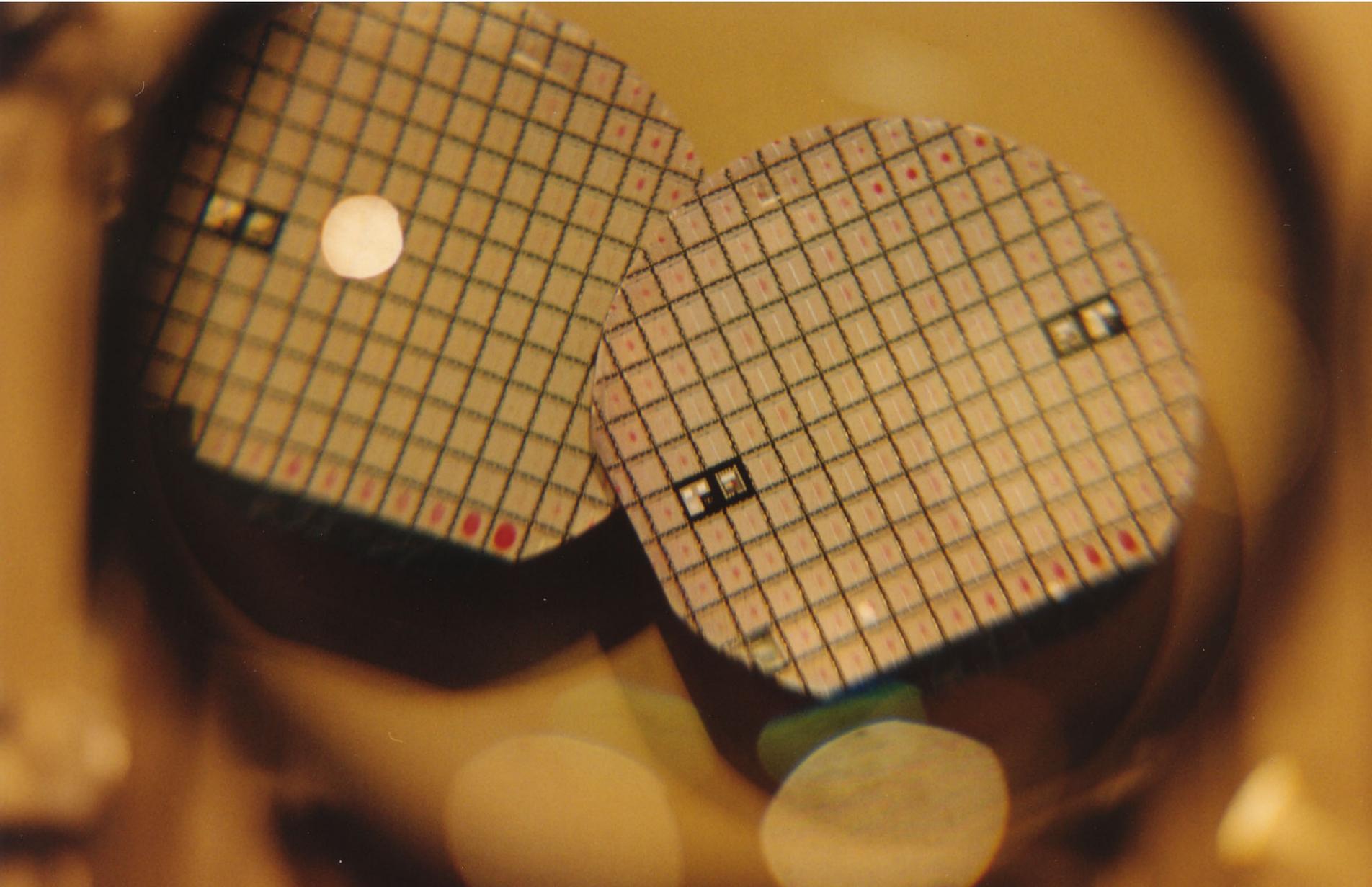
the 256-bit 1101 (shown below), was built on 2-inch wafers. Individual chips were packaged in a white ceramic material.

2147 chips
were built on
3" wafers

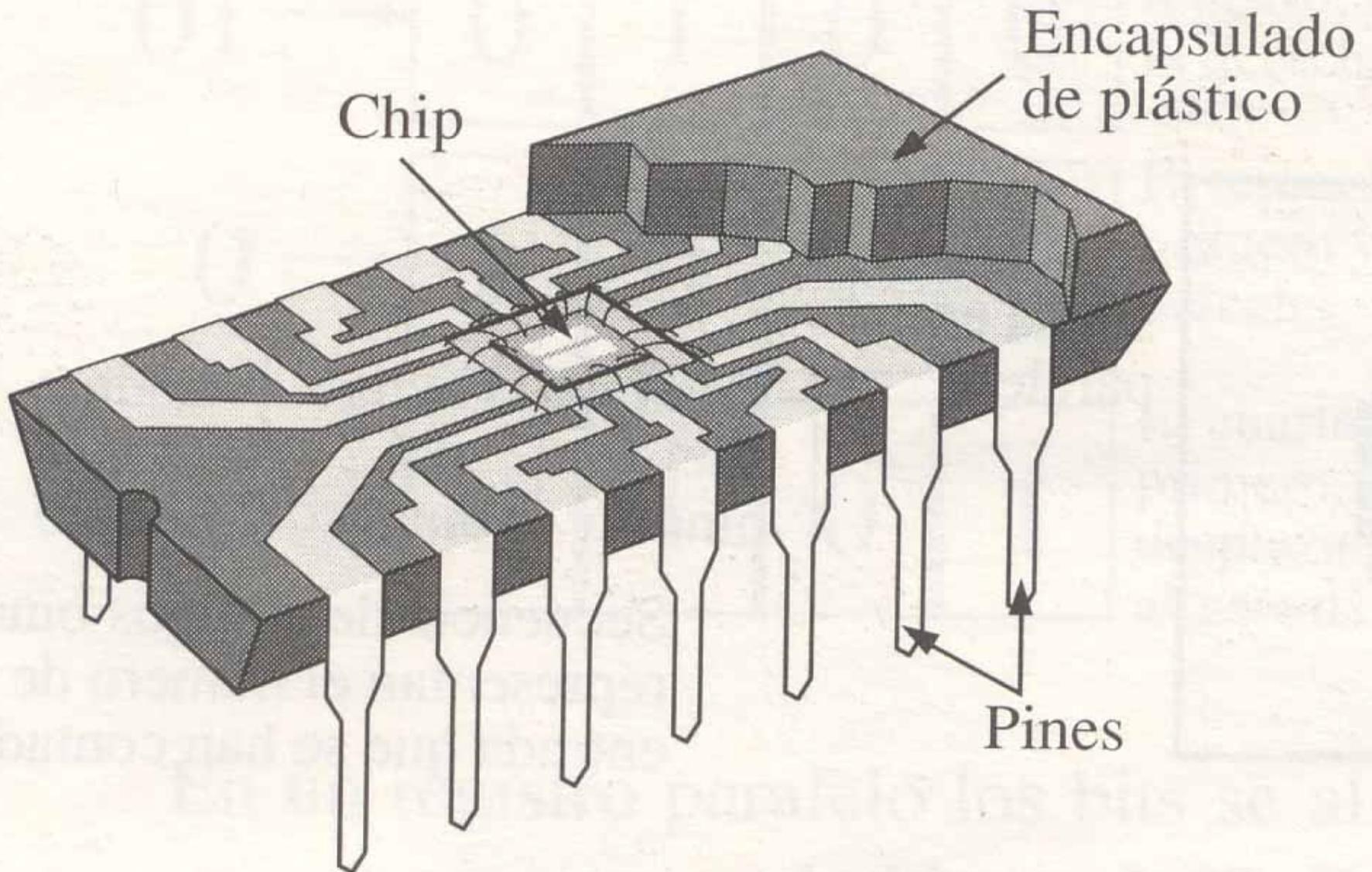
2107 chips
were built on
2" wafers



Prueba y selección



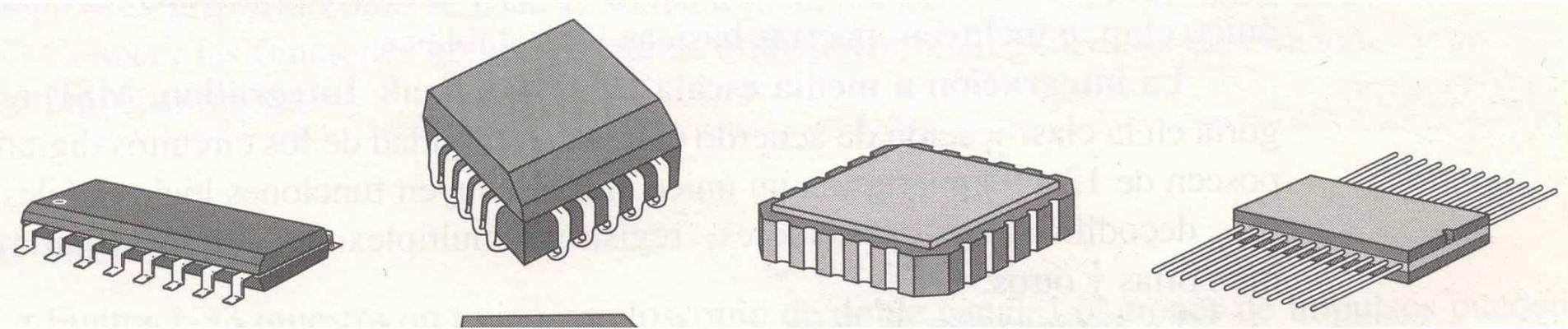
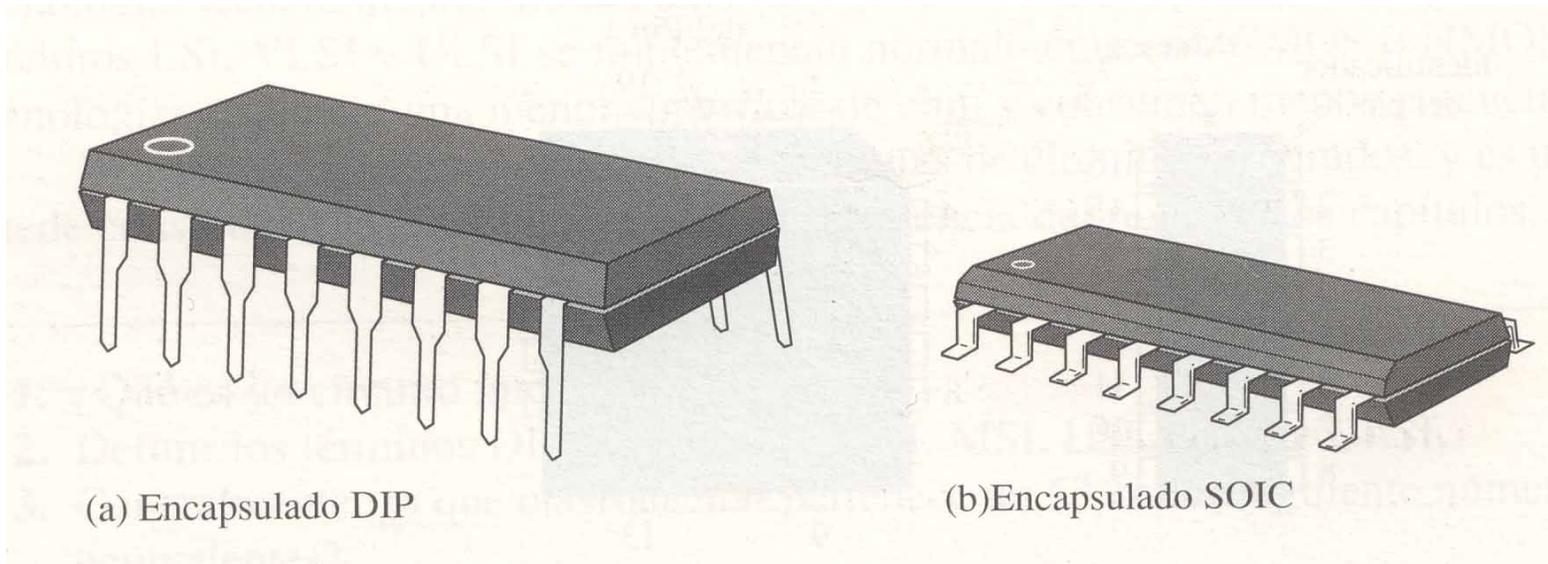
Encapsulado



Circuito Integrado - Wafer



Distintos tipos de encapsulados: manipulación, aplicación



Convenciones: - numeración de pines – función de c/pin

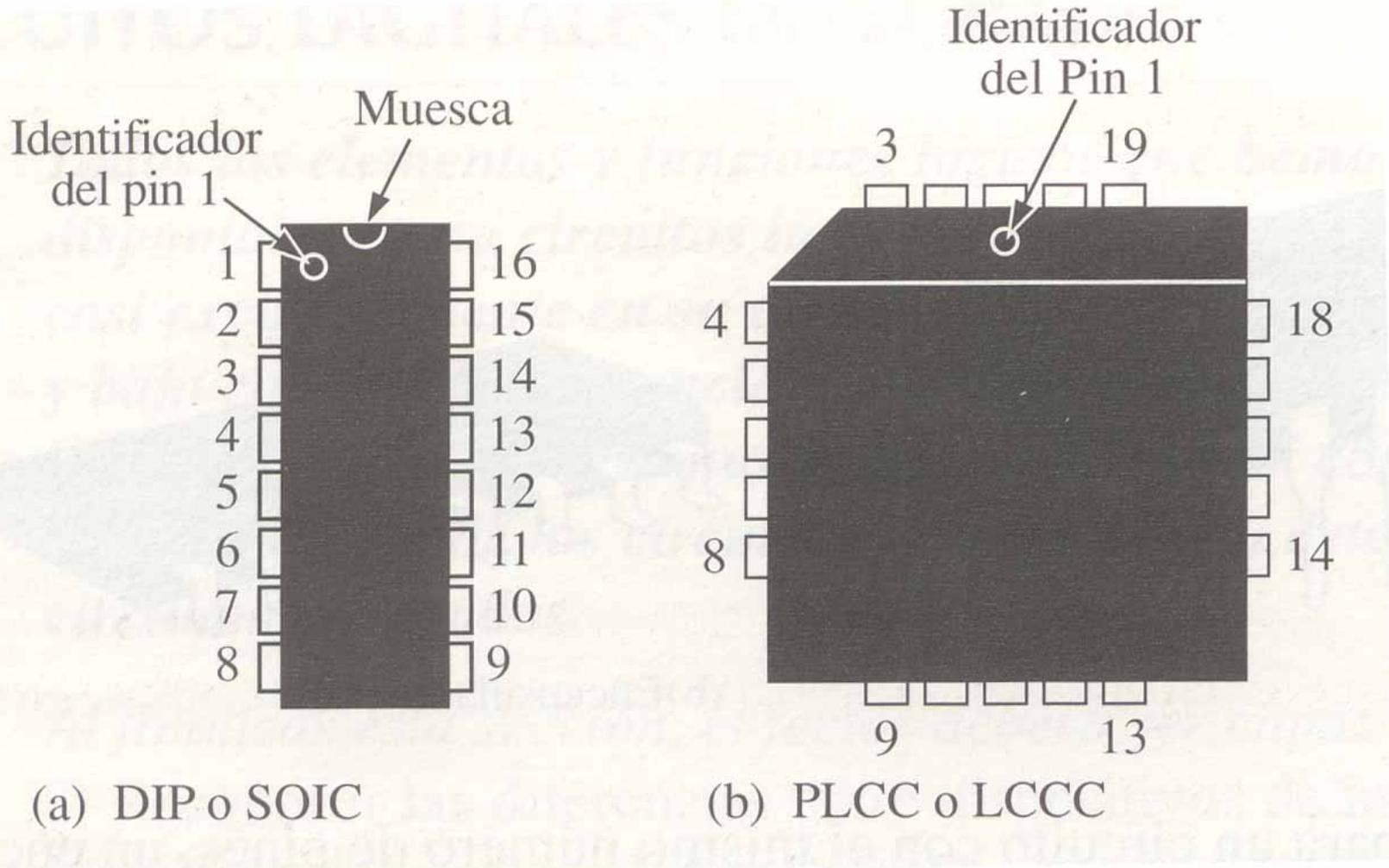
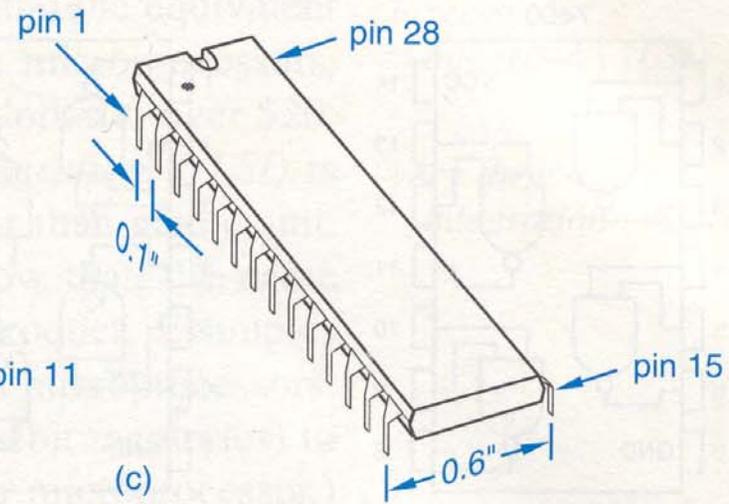
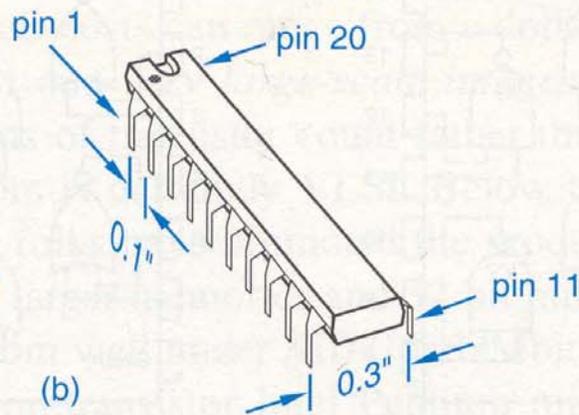
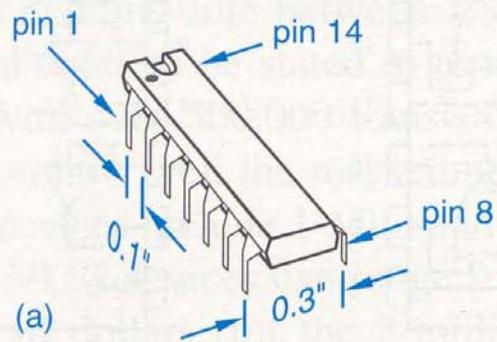


Figure 1-6
Dual in-line pin (DIP) packages :
(a) 14-pin; (b) 20-pin; (c) 28-pin.



-Dispositivos Digitales

- Bloques básicos para el diseño.

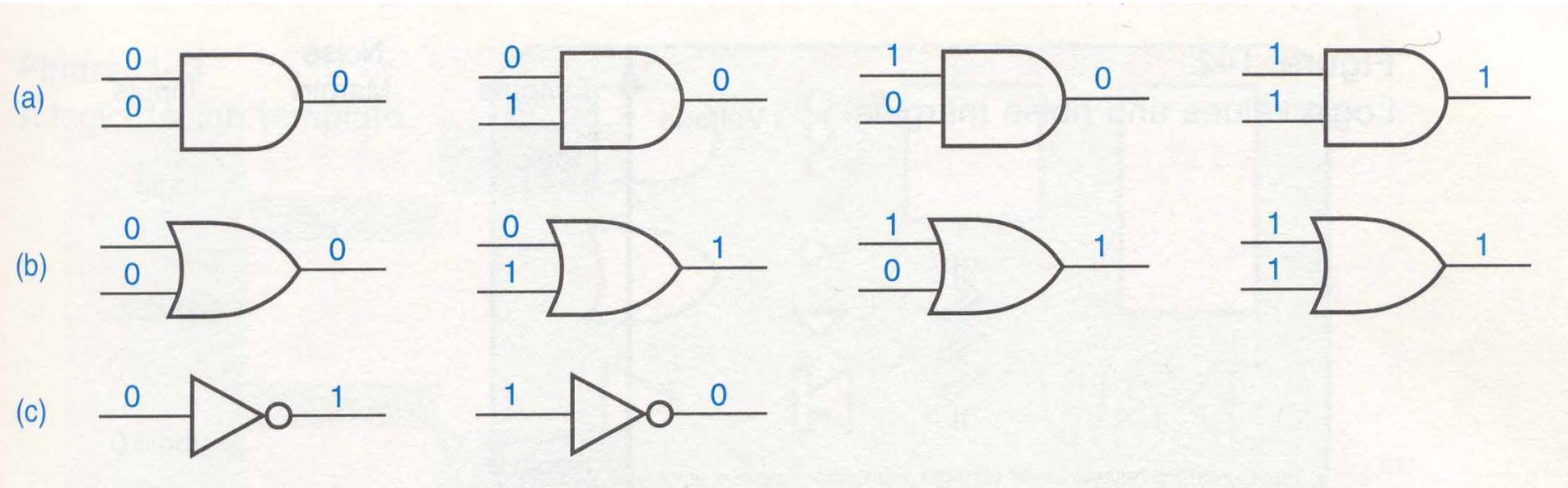


- Abstracción Digital

Modela Circuitos con su tabla lógica como si procesaran 0_s y 1_s \longrightarrow

Especificaciones fabricante.

Compuertas básicas



Hojas de datos – diagrama de pines

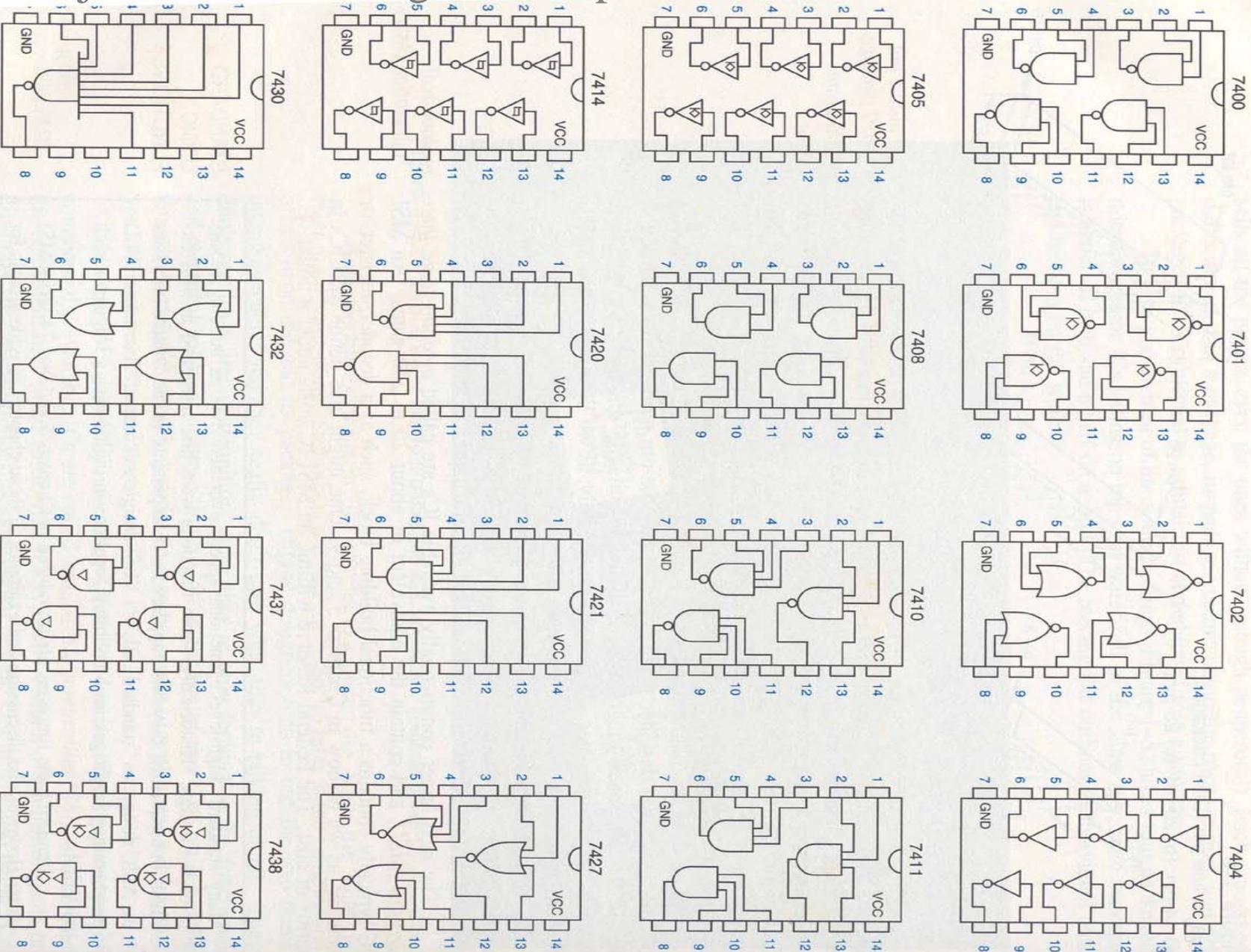


Figure 1-7 Commonly used 7400-series SSI ICs.

Resumen:

- Circuitos integrados
 - Montaje, encapsulado, manipulación, convenciones (hoja de datos)
- Abstracción digital
 - Modelación lógica 0s y 1s
- Bloques básicos para el diseño
 - Compuertas (AND, OR, Inversor)
 - Flip-Flops

Circuito impreso

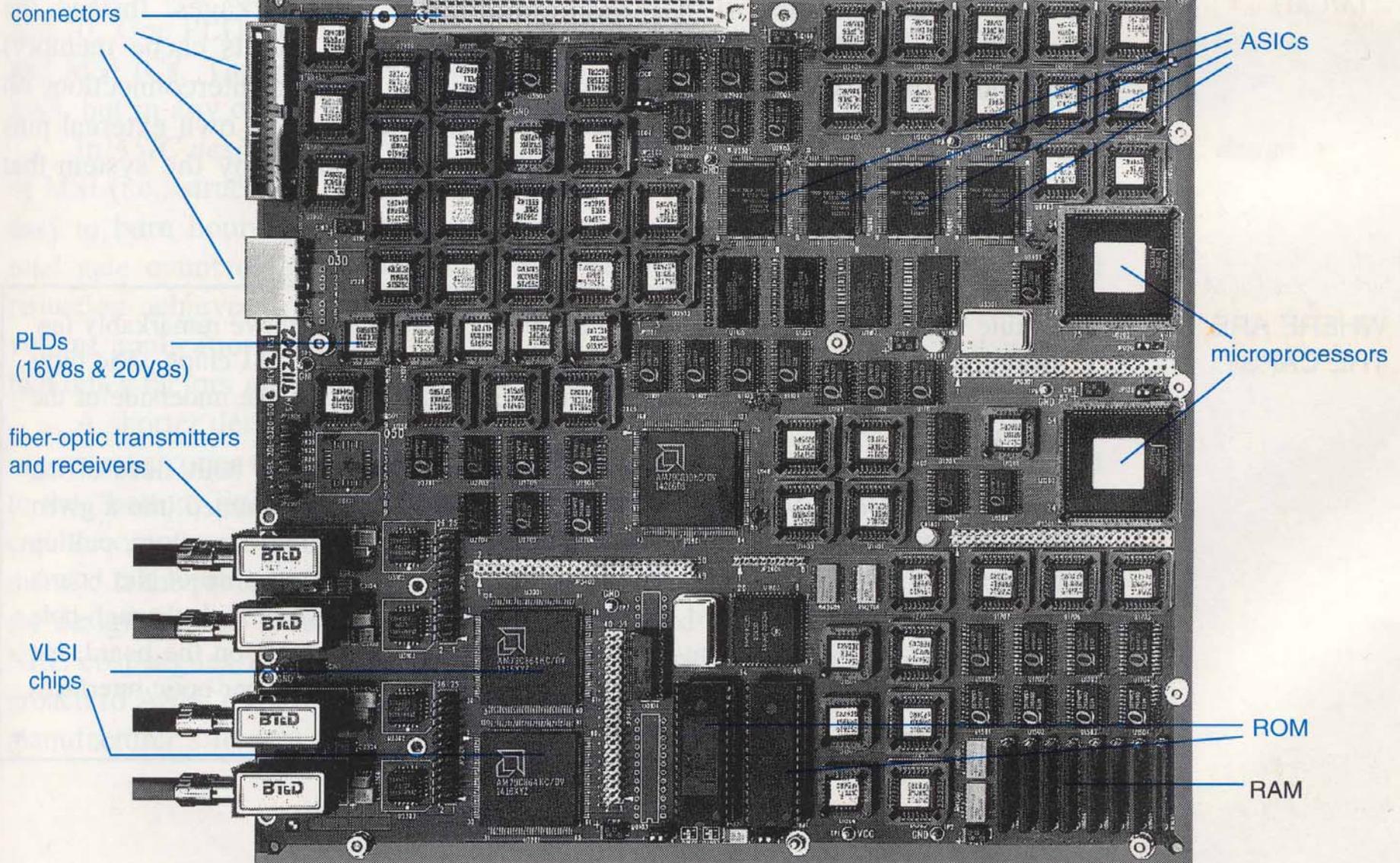
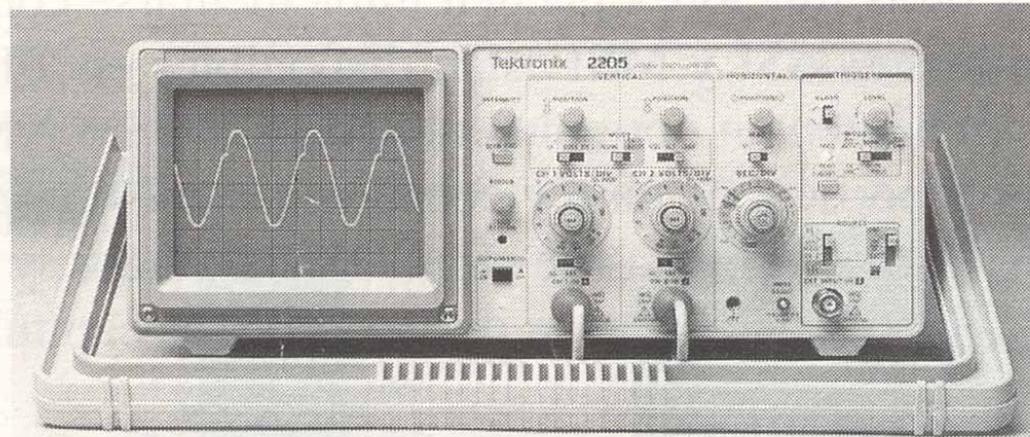


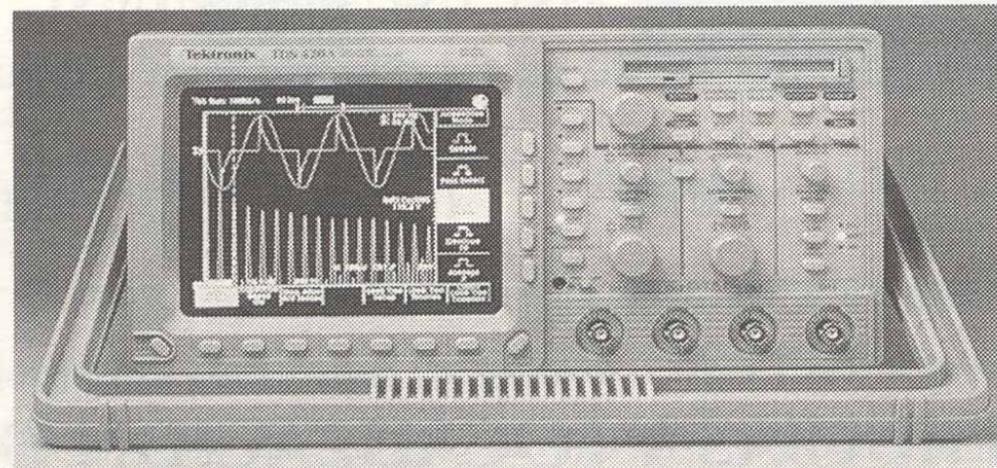
Figure 1-8 A PCB with ICs, connectors, and other components. (Courtesy of Alantec, Inc.)



Instrumentos

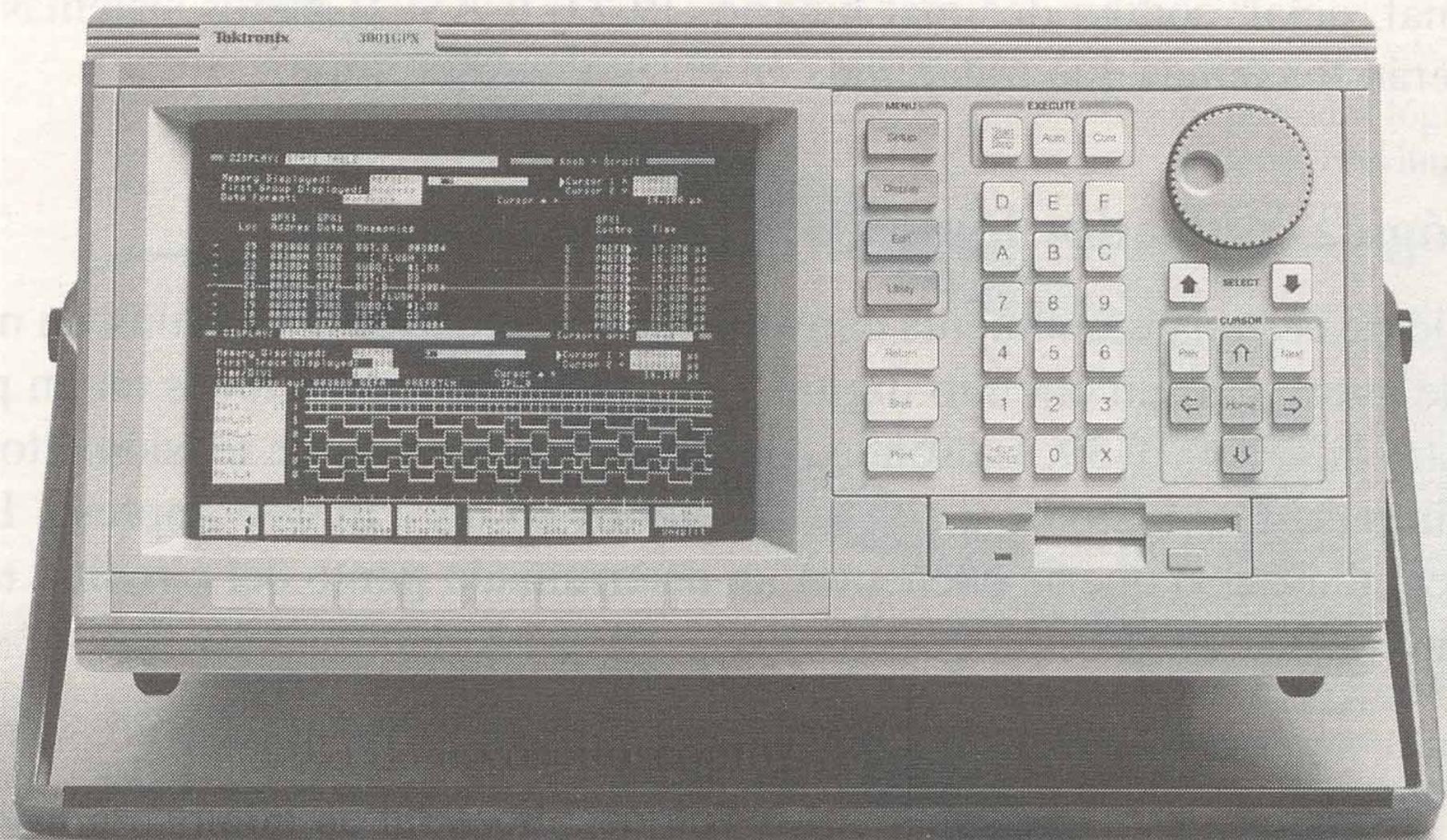


(a) Osciloscopio analógico



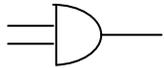
(b) Osciloscopio digital

Analizador Lógico

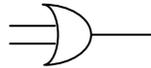


- Compuertas → Circuito Combinacional → Depende sólo de la combinación actual de entradas

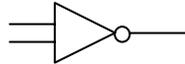
And



Or



Inversor



-Clasificación ICs:

- SSI (Small Scale Integration), 1 – 20 Compuertas, Flip –Flop, Compuerta
 - MSI (Medium Scale Integration), 20-200 Compuertas, Decodificador, Contador
 - LSI (large Scale integration), 200 – 200.000 Compuertas, Memorias, PLDs
 - VLSI (Very Large Scale Integration), >200.000 Compuertas , Procesadores 32 bit
500.000 Transistores Memorias >1MBIT
- ASICs (Application Specific ICs)

- La Revolución Digital

- Computación Digital se masifica a partir de los 60a.
- La mayor parte de los sistemas analógicos → digital
 - Registros de Audio
 - Control de carburación y encendido → automóviles
 - Telefonía
 - Control de Semáforos :
 - Transacciones Bancarias, comerciales
 - Correo
 -
 -
 -

- Razones para la revolución Digital

- Ventajas frente a T⁰

- Fuentes de poder

- Envejecimiento de componentes

- Ruido, artefactos

- Facilidad de Diseño

- Programabilidad

- Economía – Producción masiva (circuitos + utilizados)

- Tecnología mejora constantemente

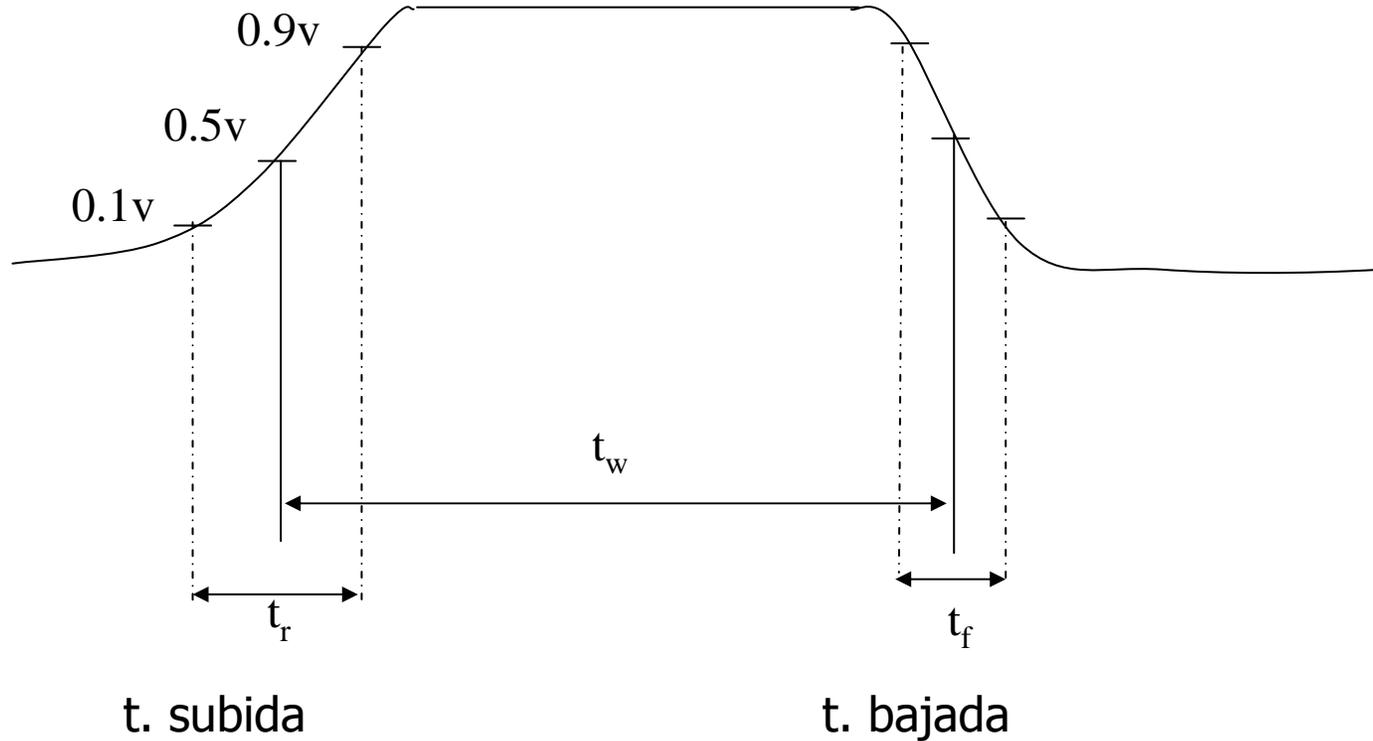
- Analizador Lógico

Punta Lógica

-IC – CHIP – Montaje

- Retardo, Margen de Ruido

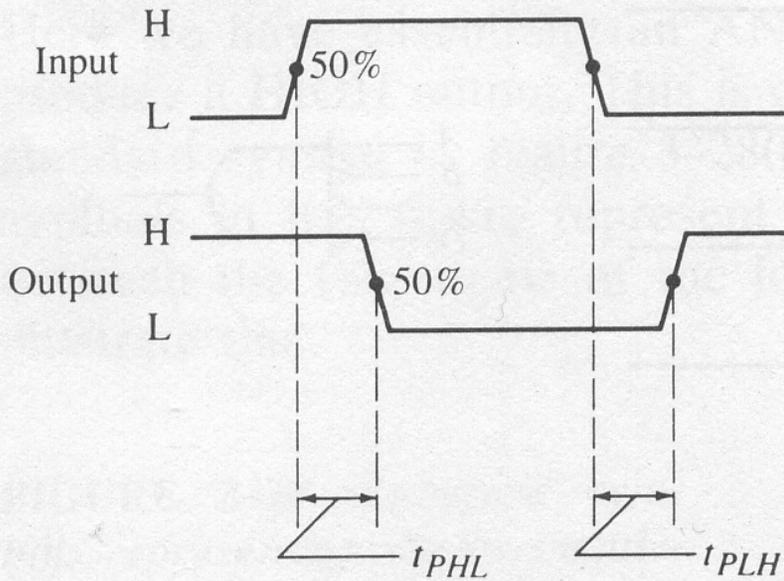
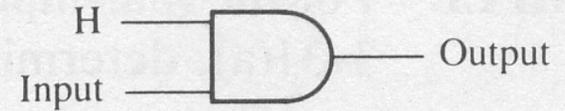
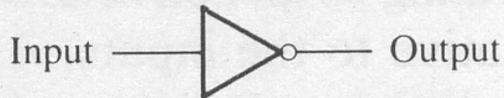
- Pulso No Ideal



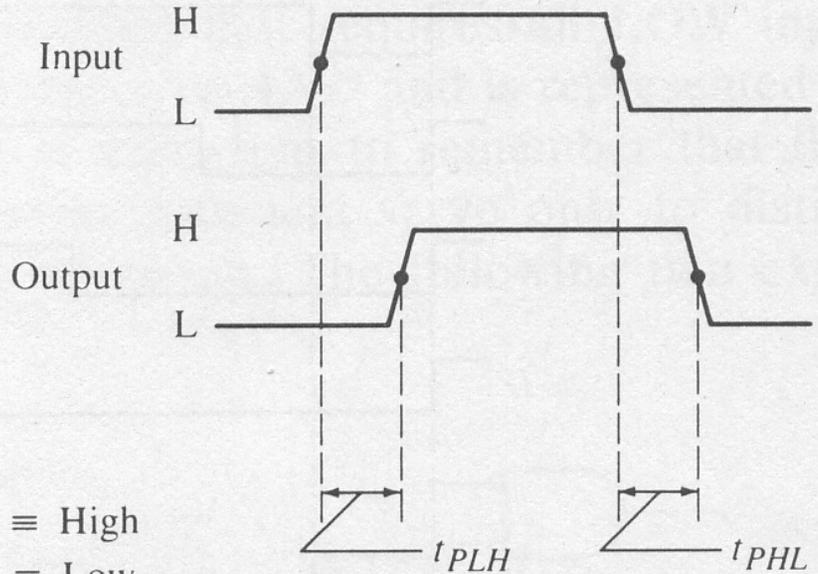
- Software para Diseño

- Diseño Esquemático
- Compiladores Lógica programable
- Simuladores

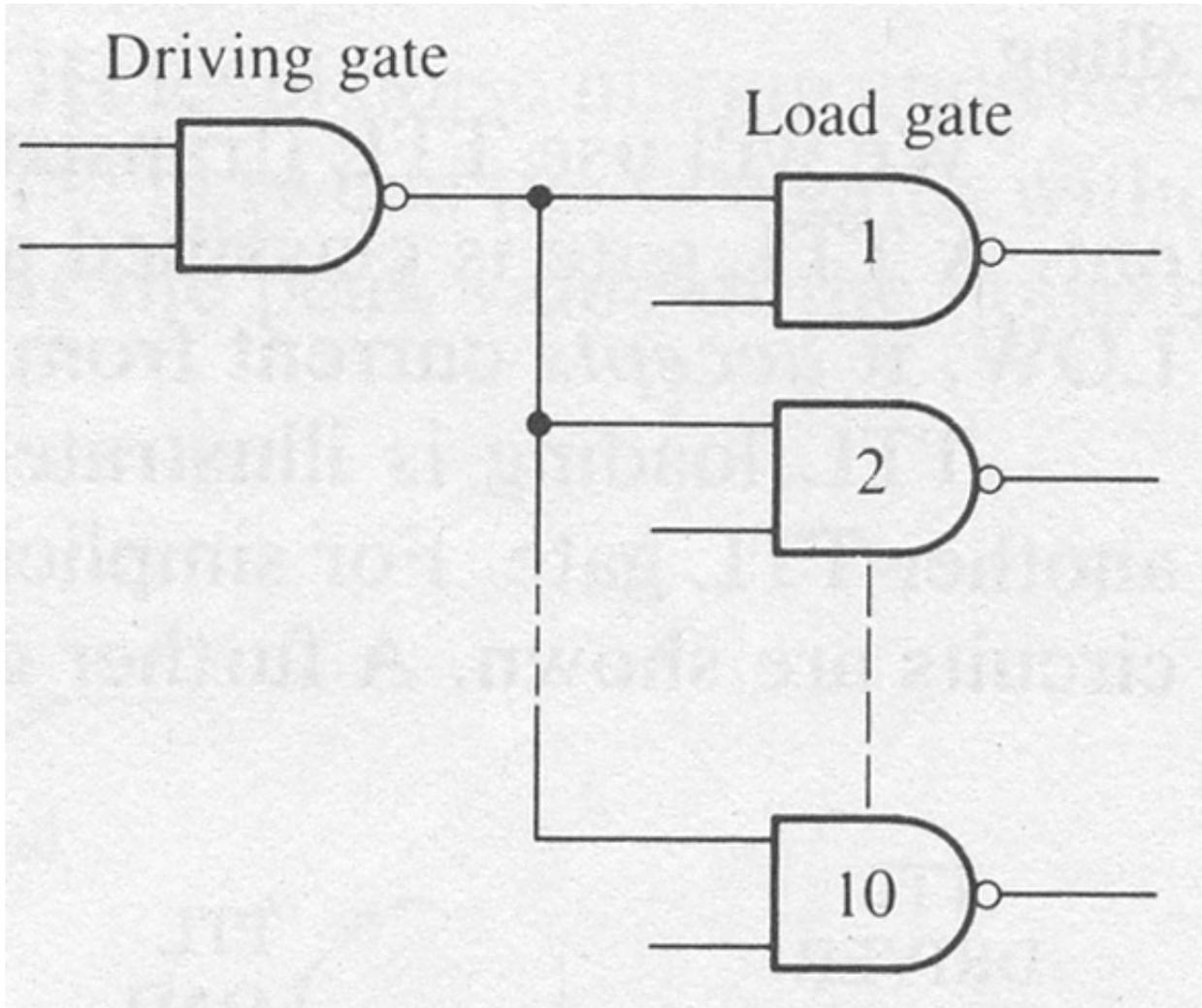
Retardo de propagación



H \equiv High
L \equiv Low



Fan-out:



Quad 2-input NAND gate

Parameter	5400			7400			Units
	Minimum	Typical	Maximum	Minimum	Typical	Maximum	
Supply voltage (V_{CC})	4.5	5.0	5.5	4.75	5.0	5.25	V
Operating free-air temperature range	-55	25	125	0	25	70	°C
HIGH level output current (I_{OH})			-400			-400	μA
LOW level output current (I_{OL})			16			16	mA

(a) Recommended operating conditions

Parameter	Limits			Units	Test Conditions ¹
	Minimum	Typical ²	Maximum		
HIGH level input voltage (V_{IH})	2.0			V	
LOW level input voltage (V_{IL})			0.8	V	
HIGH level output voltage (V_{OH})	2.4	3.4		V	$V_{CC} = \text{min.}, I_{OH} = 0.4 \text{ mA}, V_{IN} = 0.8 \text{ V}$
LOW level output voltage (V_{OL})		0.2	0.4	V	$V_{CC} = \text{min.}, I_{OL} = 16 \text{ mA}, V_{IN} = 2.0 \text{ V}$
HIGH level input current (I_{IH})			40	μA	$V_{CC} = \text{max.}, V_{IN} = 2.4 \text{ V}$
LOW level input current (I_{IL})			-1.6	mA	$V_{CC} = \text{max.}, V_{IN} = 0.4 \text{ V}$
Short-circuit output current ³ (I_{OS})	5400	-20	-55	mA	$V_{CC} = \text{max.}$
	7400	-18	-55	mA	
Total supply current with outputs HIGH (I_{CCH})		4.0	8.0	mA	$V_{CC} = \text{max.}$
Total supply current with outputs LOW (I_{CCL})		12	22	mA	$V_{CC} = \text{max.}$

(b) Electrical characteristics over operating temperature range (unless otherwise noted)

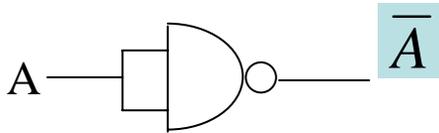
Parameter	Limits			Units	Test Conditions
	Minimum	Typical	Maximum		
Propagation delay time, LOW-to-HIGH output (t_{PLH})		11	22	ns	$V_{CC} = 5.0 \text{ V}$ $C_{LOAD} = 15 \text{ pF}$
Propagation delay time, HIGH-to-LOW output (t_{PHL})		7.0	15	ns	$R_{LOAD} = 400 \Omega$

(c) Switching characteristics ($T_A = 25^\circ\text{C}$)

Propiedad Universal de la compuerta NAND

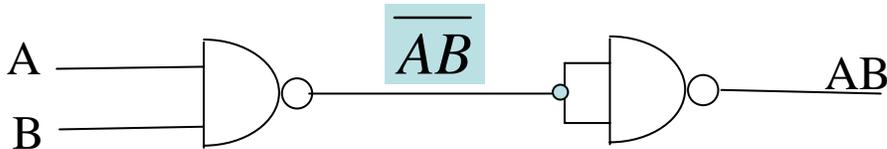
Las compuertas NAND pueden producir cualquier función lógica

- INVERSOR

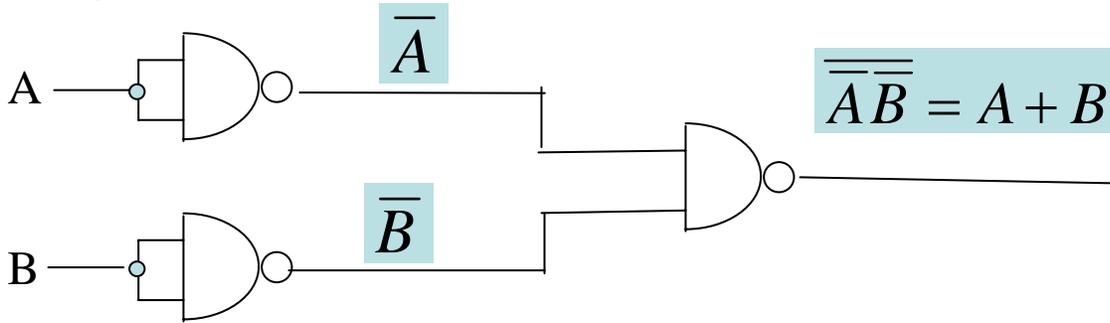


AB	NAND
00	1
01	1
10	1
11	0

- AND

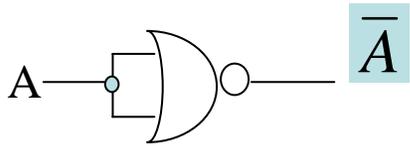


- OR



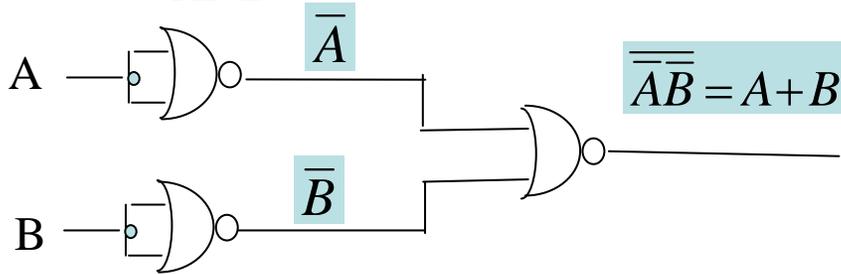
Propiedad Universal de la Compuerta NOR

- INVERSOR

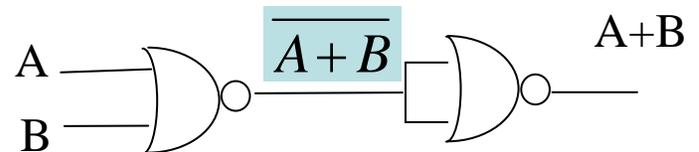


AB	NAND
00	1
01	1
10	1
11	0

- AND



- OR



Circuito Digital

Tabla de Verdad (circuitos de múltiples salidas, incompletamente especificados)

Diagrama de tiempo

Objetivos del diseño digital – optimización de número de componentes

Formas de diseño:

Algebra

Métodos gráficos

Métodos numéricos

- Algebra de Boole

* Axiomas

1) $x = 0$ si $x \neq 1$, $x = 1$ si $x \neq 0 \rightarrow x$ toma 2 valores

2) si $x = 0 \Rightarrow \bar{x} = 1$, si $x = 1 \Rightarrow \bar{x} = 0 \rightarrow$ complement o

3) $0 \cdot 0 = 0, 1 + 1 = 1$

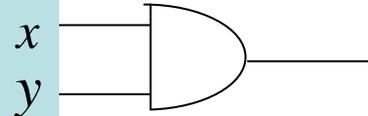
4) $1 \cdot 1 = 1, 0 + 0 = 0$

5) $0 \cdot 1 = 1 \cdot 0 = 0, 1 + 0 = 0 + 1 = 1$

} *AND y OR*

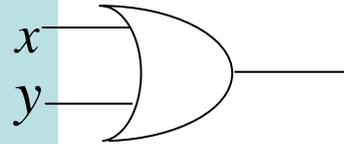
- Multiplicación Lógica:

$$x \cdot y \quad [x \wedge y]$$



- Suma Lógica:

$$x + y \quad [x \vee y]$$



* Teoremas

$$1) \quad x + 0 = x, \quad x \cdot 1 = x \quad \rightarrow \textit{identidad}$$

$$2) \quad x + 1 = 1, \quad x \cdot 0 = 0 \quad \rightarrow \textit{elemento nulo}$$

$$3) \quad x + x = x, \quad x \cdot x = x \quad \rightarrow \textit{idempotencia}$$

$$4) \quad \overline{\overline{x}} = x \quad \rightarrow \textit{involuci3n}$$

$$5) \quad x + \overline{x} = 1, \quad x \cdot \overline{x} = 0 \quad \rightarrow \textit{complementos}$$

Cont. Teoremas de 2 o 3 variables

6) $x + y = y + x, x \cdot y = y \cdot x$ *conmutatividad*

7) $(x + y) + z = x + (y + z), (x \cdot y)z = x(y \cdot z)$ *asociatividad*

8) $x \cdot y + x \cdot z = x(y + z), (x + y)(x + z) = x + yz \rightarrow$ *distrib.*

9) $x + xy = x, x(x + y) = x \rightarrow$ *cobertura*

10) $x \cdot y + x \cdot \bar{y} = x, (x + y)(x + \bar{y}) = x$

11) $x \cdot y + \bar{x}z + yz = xy + \bar{x}z$

12) $(x + y)(\bar{x} + z)(y + z) = (x + y)(\bar{x} + z)$

Cont. Teoremas de n variables

$$13) \quad x + x + \cdots + x = x$$

$$14) \quad x \cdot x \cdot \cdots \cdot x = x$$

Teoremas de De Morgan

- Literal: variable o su complemento.
- Término producto: literales relacionados por AND
- Término suma: literales relacionados por OR
- Término normal: término suma o producto sin variables repetidas

-Principio de Dualidad

$$F^D(x_1, x_2, \dots, x_n, +, :, \prime) = F(x_1, x_2, \dots, x_n, :, +, \prime)$$

- Suma de productos
(SoP)

$$\bar{z} + wxy + x\bar{y}z$$

- Productos de sumas
(PoS)

$$(w + x + y) \cdot (x + \bar{y} + z) \cdot (\bar{w} + y + z)$$

Minitérmino: Un minitérmino n variables es el término producto normal con n literales. El **minitérmino** se puede especificar como el término producto que es igual a 1 en una fila de la tabla de verdad.

Hay 2^n minitérminos.

Maxitérmino: Un maxitérmino de n-variables es el término suma normal con n literales. El **maxitérmino** puede definirse como el término suma que es igual a "0" en una fila de la tabla de verdad.

Hay 2^n maxitérminos.

Tabla de verdad:

Fila	x y z	F	Minitérmino	Maxitérmino
0	0 0 0	F(0,0,0)	$\bar{X} \cdot \bar{Y} \cdot \bar{Z}$	$X + Y + Z$
1	0 0 1	F(0,0,1)	$\bar{X} \cdot \bar{Y} Z$	$X + Y + \bar{Z}$
2	0 1 0	F(0,1,0)	$\bar{X} Y \bar{Z}$	$X + \bar{Y} + Z$
3	0 1 1	F(0,1,1)	$\bar{X} Y Z$	$X + \bar{Y} + \bar{Z}$
4	1 0 0	F(1,0,0)	$X \bar{Y} \bar{Z}$	$\bar{X} + Y + Z$
5	1 0 1	F(1,0,1)	$X \bar{Y} Z$	$\bar{X} + Y + \bar{Z}$
6	1 1 0	F(1,1,0)	$X Y \bar{Z}$	$\bar{X} + \bar{Y} + Z$
7	1 1 1	F(1,1,1)	$X Y Z$	$\bar{X} + \bar{Y} + \bar{Z}$

- Basados en la correspondencia entre la tabla de verdad y los minitérminos, se puede crear fácilmente una representación algebraica de una función lógica a partir de la tabla de verdad.

- **Suma Canónica:** la suma canónica de una función lógica corresponde a la suma de minitérminos de las filas de la tabla de verdad para la cual la función produce un 1 en la salida.

- **Producto Canónico:** el producto canónico de una función lógica es un producto de los maxitérminos de las filas que producen un cero en la salida.

Ej:

$$F(x, y, z) = \Pi M(1, 2, 5) = (x + y + \bar{z}) \cdot (x + \bar{y} + z) \cdot (\bar{x} + y + \bar{z})$$

- Tenemos 5 representaciones de una función combinacional

1. Tabla de verdad
2. Suma algebraica de minterminos SoP, suma canónica
3. Lista de minterminos
4. Producto algebraico de maxiterminos PoS, producto canónico
5. Lista de maxiterminos

- Síntesis de Circuitos Combinacionales

- Descripción del problema
- Tabla de verdad o equivalente SoP ó PoS

Ej: Detector de números primos de 4 bits

$$N = N_3 N_2 N_1 N_0$$

$$\Rightarrow F = \begin{cases} 1 & \text{para } N = 1, 2, 3, 5, 7, 11, 13 \\ 0 & \text{otro} \end{cases}$$

- Mapa de Karnaugh

- Debe hacer una celda correspondiente a cada combinación de entradas.
- Las celdas deben organizarse de forma que aquellos inmediatamente adyacentes (en la horizontal y vertical) deben corresponder a un par de entradas que son lógicamente adyacentes, i.e., difieren en una sola variable.
- Las celdas al final de las filas o columnas también son lógicamente adyacentes.
- Las celdas diagonales no son adyacentes.

Correspondencia con filas

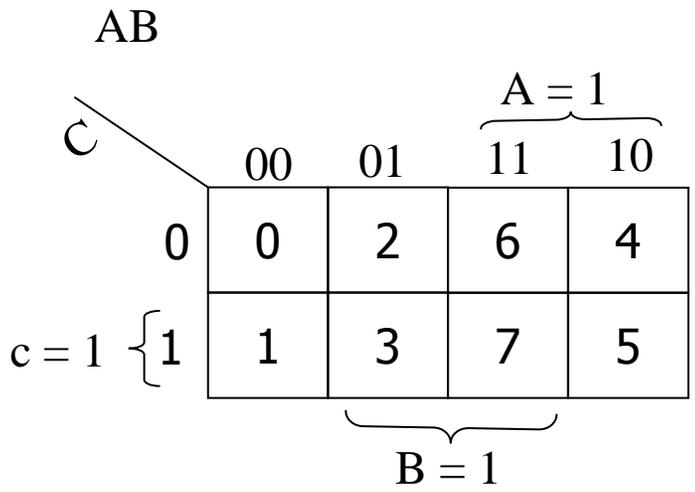
		A	
		B	
0	0	2	
1	1	3	

A B	
0 0	m_0
0 1	m_1
1 0	m_2
1 1	m_3

Ej.: $f(A, B, C) = \sum m(0, 2, 3, 7)$

		AB			
		00	01	11	10
C	0	0	2	6	4
	1	1	3	7	5

		AB			
		00	01	11	10
C	0	1	1		
	1		1	1	



ABC	
0 0 0	m_0
0 0 1	m_1
0 1 0	m_2
0 1 1	m_3
1 0 0	m_4
1 0 1	m_5
1 1 0	m_6
1 1 1	m_7

Mapa de Karnaugh

- 4 Variables

CD		AB				
		00	01	A = 1 11 10		
C=1	00	0	4	12	8	D=1
	01	1	5	13	9	
	11	3	7	15	11	
	10	2	6	14	10	
		B = 1				

ABCD	
0 0 0 0	m ₀
0 0 0 1	m ₁
0 0 1 0	m ₂
0 0 1 1	m ₂
0 1 0 0	m ₂
0 1 0 1	m ₂
0 1 1 0	m ₂
0 1 1 1	m ₂
1 0 0 0	m ₂
1 0 0 1	m ₂
1 0 1 0	m ₂
1 0 1 1	m ₂
1 1 0 0	m ₂
1 1 0 1	m ₂
1 1 1 0	m ₂
1 1 1 1	m ₂

Mapa de Karnaugh para 5 Variables

A=0

DE \ BC		B = 1				
		00	01	11	10	
D = 1	00	0	4	12	8	E
	01	1	5	13	9	
	11	3	7	15	11	
	10	2	6	14	10	
		C = 1				

A=1

		B = 1				BC \ DE
		00	01	11	10	
	00	16	20	28	24	00
	01	17	21	29	25	01
	11	19	23	31	27	11
	10	18	22	30	26	10
		C = 1				E

- La adyacencia de las 4 variables aplica igual. Además, las celdas en las posiciones relativas idénticas son también lógicamente adyacentes, e.g., 4 y 20

ABCD	
00000	0
00001	1
00010	2
00011	3
00100	4
00101	5
00110	6
00111	7
01000	8
01001	9
01010	10
01011	11
01100	12
01101	13
01110	14

01111	15
10000	16
10001	17
10010	18
10011	19
10100	20
10101	21
10110	22
10111	23
11000	24
11001	25
11010	26
11011	27
11100	28
11101	29
11110	30
11111	31

- Mapas de Karnaugh de 6 Variables

A=0

CD		B=0		C=1	
		00	01	11	10
E=1	EF	00	01	11	10
	00	0	4	12	8
	01	1	5	13	9
	11	3	7	15	11
10	2	6	14	10	

CD		B=1		C=1	
		00	01	11	10
E=1	EF	00	01	11	10
	00	16	20	28	24
	01	17	21	29	25
	11	19	23	31	27
10	18	22	30	26	

F=1

A=1

CD		D=1			
		00	01	11	10
E=1	EF	00	01	11	10
	00	32	36	44	40
	01	33	37	45	41
	11	35	39	47	43
10	34	38	46	42	

F=1

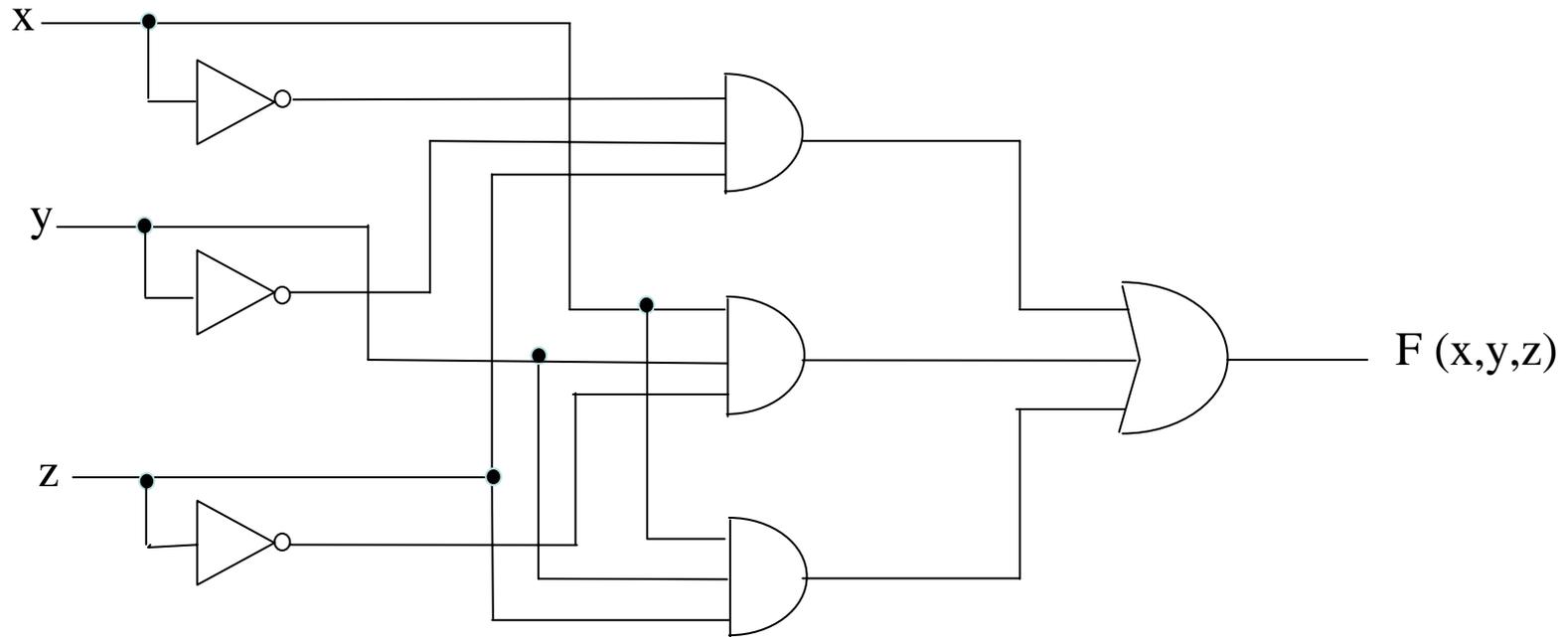
CD		D=1			
		00	01	11	10
E=1	EF	00	01	11	10
	00	48	52	60	56
	01	49	53	61	57
	11	51	55	63	59
10	50	54	62	58	

F=1

x y z	F(x,y,z)		
0 0 0	0		$x + y + z$
0 0 1	1	$\bar{x} \bar{y} z$	
0 1 0	0		$x + \bar{y} + z$
0 1 1	0		$x + \bar{y} + \bar{z}$
1 0 0	0		$\bar{x} + y + z$
1 0 1	0		$\bar{x} + y + \bar{z}$
1 1 0	1	$x y \bar{z}$	
1 1 1	1	$x y z$	

$$F(x, y, z) = \bar{x} \bar{y} z + xy\bar{z} + xyz$$

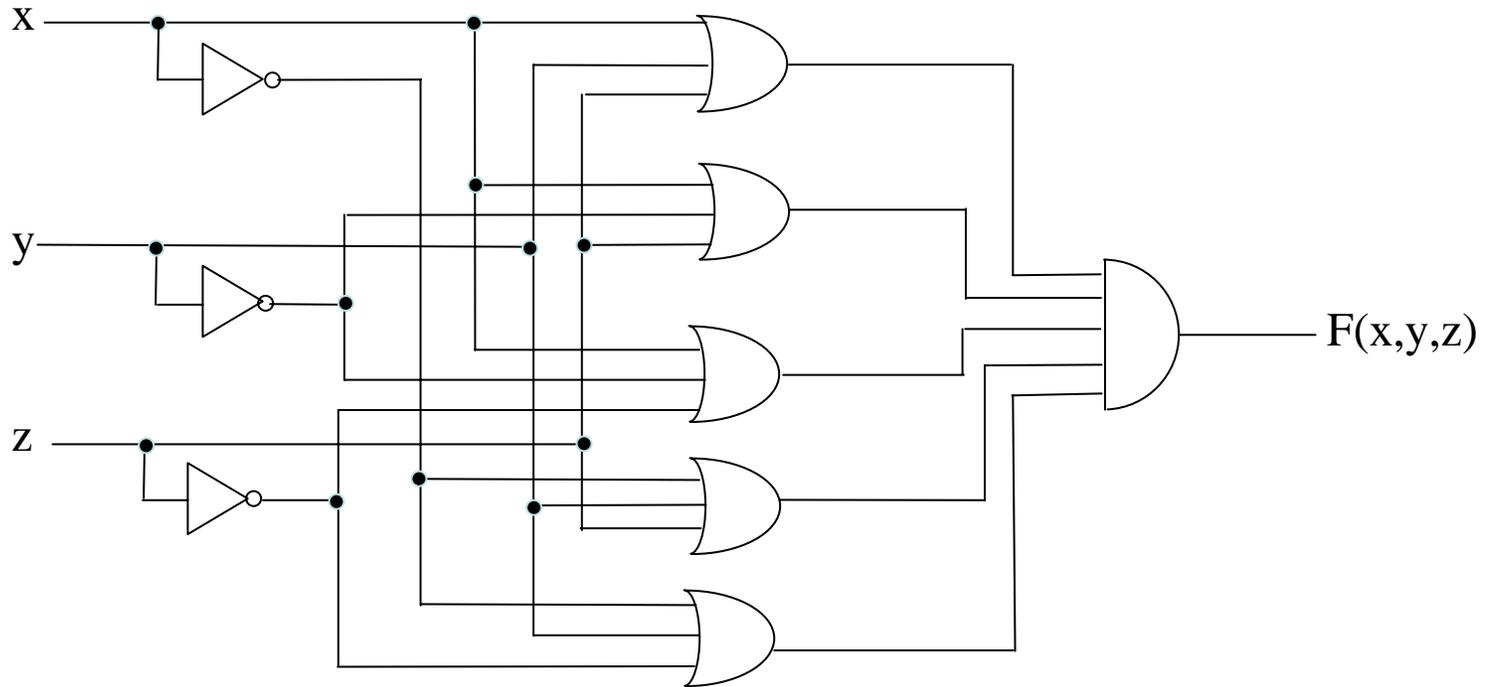
$$F(x, y, z) = \bar{x} \bar{y} z + xy\bar{z} + xyz$$



$x y z$	$F(x,y,z)$		
0 0 0	0		$x + y + z$
0 0 1	1	$\bar{x} \bar{y} z$	
0 1 0	0		$x + \bar{y} + z$
0 1 1	0		$x + \bar{y} + \bar{z}$
1 0 0	0		$\bar{x} + y + z$
1 0 1	0		$\bar{x} + y + \bar{z}$
1 1 0	1	$x y \bar{z}$	
1 1 1	1	$x y z$	

$$F(x, y, z) = (x + y + z)(x + \bar{y} + z)(x + \bar{y} + \bar{z})(\bar{x} + y + z)(\bar{x} + y + \bar{z})$$

$$F(x, y, z) = (x + y + z)(x + \bar{y} + z)(x + \bar{y} + \bar{z})(\bar{x} + y + z)(\bar{x} + y + \bar{z})$$



- Pares de 1's en celdas adyacentes del mapa de Karnaugh tienen miniterminos que difieren en una variable y \therefore pueden combinarse.

$$\alpha \cdot y + \alpha \cdot \bar{y} = \alpha$$

-En general 2^i celdas de 1s pueden combinarse para formar términos productos conteniendo $N-i$ literales ($N = \#$ de variables en la función).

-La simplificación en un mapa de Karnaugh consiste en determinar el conjunto más pequeño de adyacencias que cubre todos los minitérminos de la función.

-Vimos varias realizaciones de la función:

$$\begin{aligned} f(A,B,C,D) &= (A+B)(CD' + C'D) = ACD' + AC'D + BCD' + BC'D = \\ &= ABCD' + AB'CD' + ABC'D + AB'C'D + A'BCD' + A'BC'D = \\ &= \Sigma m(5,6,9,10,13,14). \end{aligned}$$

Simplificación de Funciones en mapas Karnaugh

SoP }
PoS } Pueden realizarse por 2 niveles de compuertas → circuito 2º orden

- Velocidad (# etapas) → Factor Dominante
- # Compuertas
- # Entradas/Compuertas
- 2^i celdas se combinan → términos productos $n - i$ literales
- Minimización de expresiones en productos de sumas
PoS → conjuntos de ceros

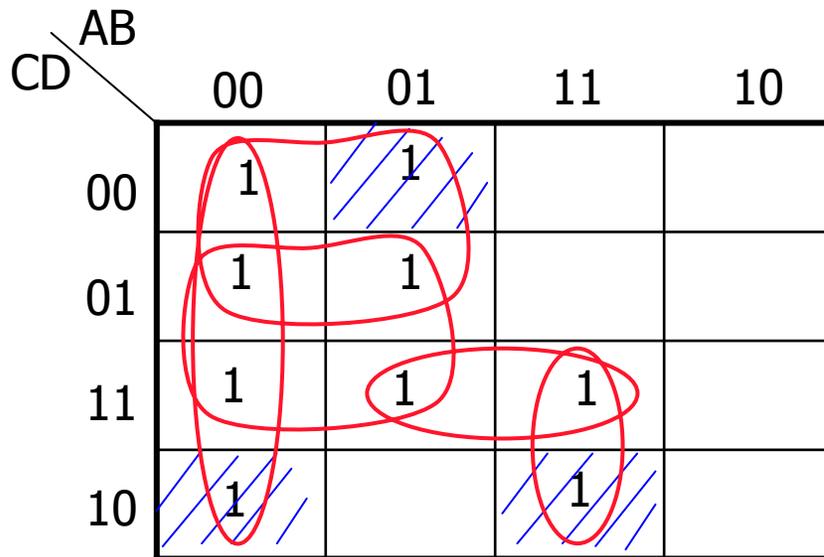
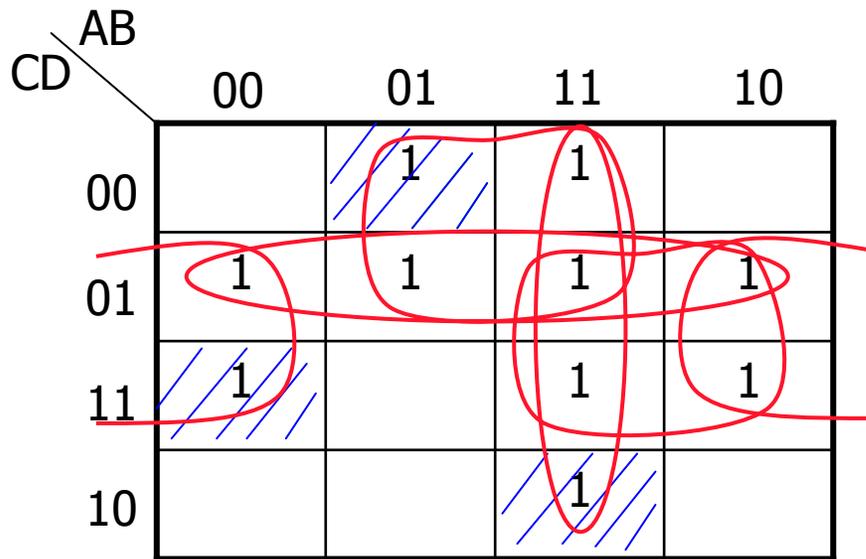
- Implicancia
(Inclusión, Cobertura)
- Implicante primario (Celdas 2^i)
I.P.
- Suma de Productos mínima: suma de I.P.
- Suma completa: Suma todos los I.P. (Puede ser no mínima)
- Celdas 1-distinguida: cubierta por un solo I.P.
- Implicante Primario Esencial: Aquel I.P. que cubre 1 o + celdas
1- distinguidas
- Suma mínima: incluye todos los I.P. esenciales

		WX			
YZ		00	01	11	10
00				1	
01			1	1	
11			1	1	
10				1	

Implicantes Primarios (Agrupación de Celdas 2^i Máximo)

- Minimización de Función

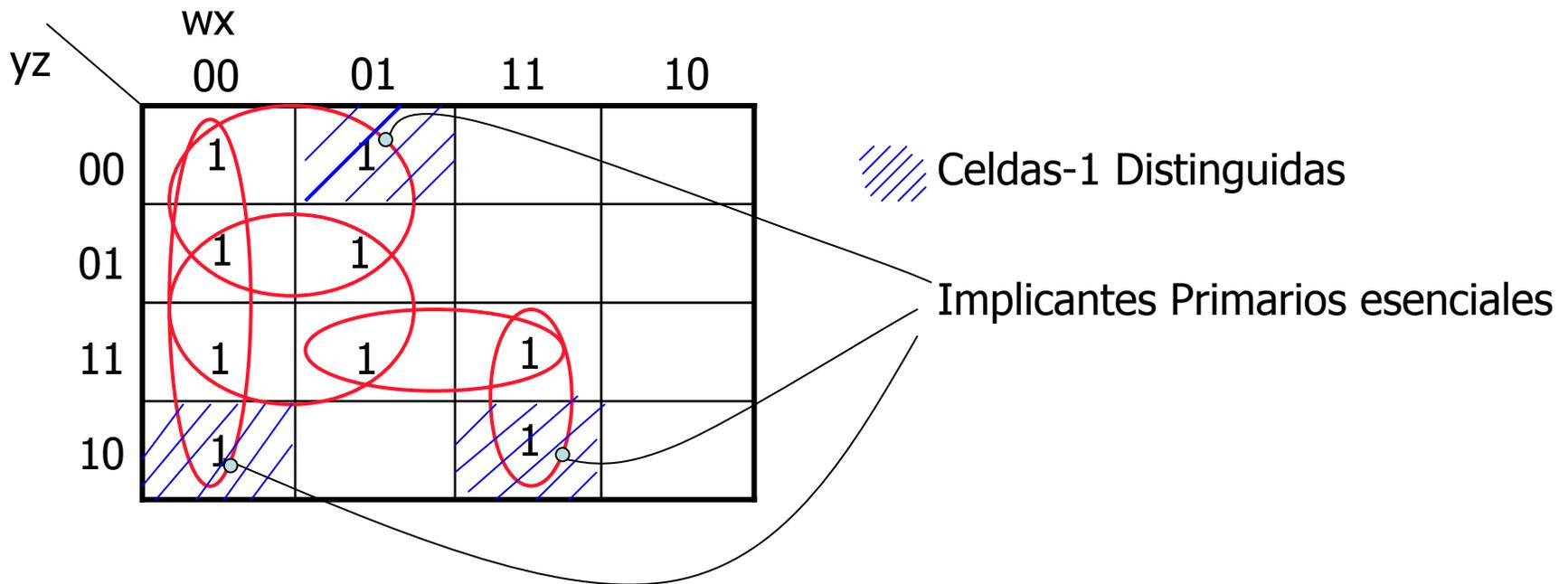
- Identificar Implicantes Primarios
- Identificar celdas-1 Distinguidas
- Identificar Implicantes Primarios Esenciales
- Suma mínima – Imp. Prim. Esenciales
Otros Imp. Prim - Cobertura



- Agregar I.P. a I.P. esenciales

- Minimización de PoS

- Suma Mínima: Suma de implicantes primarios / \exists ninguna expresión con menor # de términos producto y otra SoP con = # de términos tiene la misma cantidad de literales.
- Suma Completa: Suma de todos los implicantes primarios.
- Celda-1 Distinguida: Celda cubierta por 1 solo implicante primario
- Implicante primario Esencial: Cubre un o más Celdas-1 distinguidas



- Funciones Incompletamente Especificadas

- Tabla de verdad n variables $\rightarrow 2^n$ salidas posibles
- Caso mas general \rightarrow no están especificadas las 2^n combinaciones
 - Combinaciones de entradas no pueden darse
 - No importa la salida para un conjunto de entradas

\therefore Salidas no especificadas se indican por x

- Cualquier circuito que produzca las mismas salidas para todas las combinaciones de entradas con salida especificada será una realización de una función incompletamente especificada.

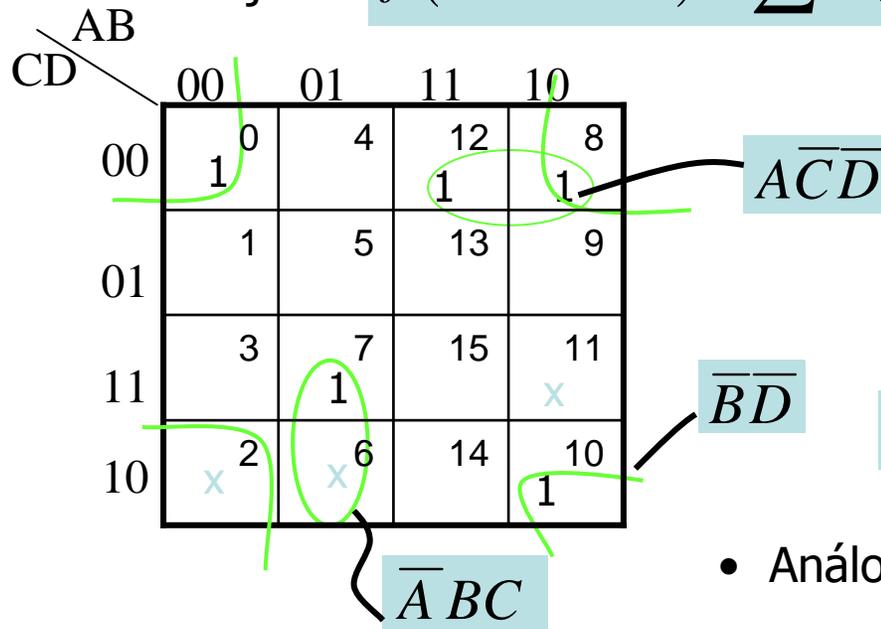
• Ej.: $f(x, y, z) = \sum m(4,5) + d(0,6,7)$
 $f(x, y, z) = x$

xy \ z	00	01	11	10
0	X 0	2	X 6	1 4
1	1	3	X 7	1 5

Funciones Incompletamente Especificadas

- Tabla de verdad n entradas, 2^n salidas
Algunas de estas pueden no estar especificadas
- Combinaciones nunca ocurren
- No importa valor de salida
- Se utilizan las salidas no especificadas por "Don't care" para mejorar agrupaciones de miniterminos y maxiterminos en mapas de Karnaugh

Ej.: $f(A, B, C, D) = \sum m(0,7,8,10,12) + d(2,6,11)$



$$f(A, B, C, D) = \overline{B}\overline{D} + \overline{A}\overline{C}\overline{D} + \overline{A}BC$$

- Análogo para PoS

Sea la función estados no especificados:

	(A B C)	f(A B C)
0	0 0 0	x
1	0 0 1	0
2	0 1 0	0
3	0 1 1	0
4	1 0 0	1
5	1 0 1	1
6	1 1 0	x
7	1 1 1	x

$$f^{(A,B,C)}(x,y,z) = \sum m(4,5) + d(0,6,7)$$

salidas no especificadas

		AB			
		00	01	11	10
C	0	0 x	2 0	6 x	4 1
	1	1 0	3 0	7 x	5 1

$$f(A, B, C) = A$$

Ej.: Obtenga la suma de productos mínima para:

$$f(A, B, C, D) = \sum m(0, 7, 8, 10, 12) + d(2, 6, 11)$$

A 4x4 Karnaugh map for variables A, B, C, and D. The columns are labeled AB (00, 01, 11, 10) and the rows are labeled CD (00, 01, 11, 10). The cells contain the following values: (00,00)=1, (01,00)=4, (11,00)=12, (10,00)=8, (00,01)=1, (01,01)=5, (11,01)=13, (10,01)=9, (00,11)=3, (01,11)=7, (11,11)=15, (10,11)=11, (00,10)=2, (01,10)=6, (11,10)=14, (10,10)=10. There are also 'x' marks in cells (00,11), (01,10), and (10,11). Green circles highlight prime implicants: a circle around (00,00) and (01,00); a circle around (11,00) and (10,00); a circle around (01,11) and (01,10); a circle around (00,10) and (01,10); and a circle around (10,10).

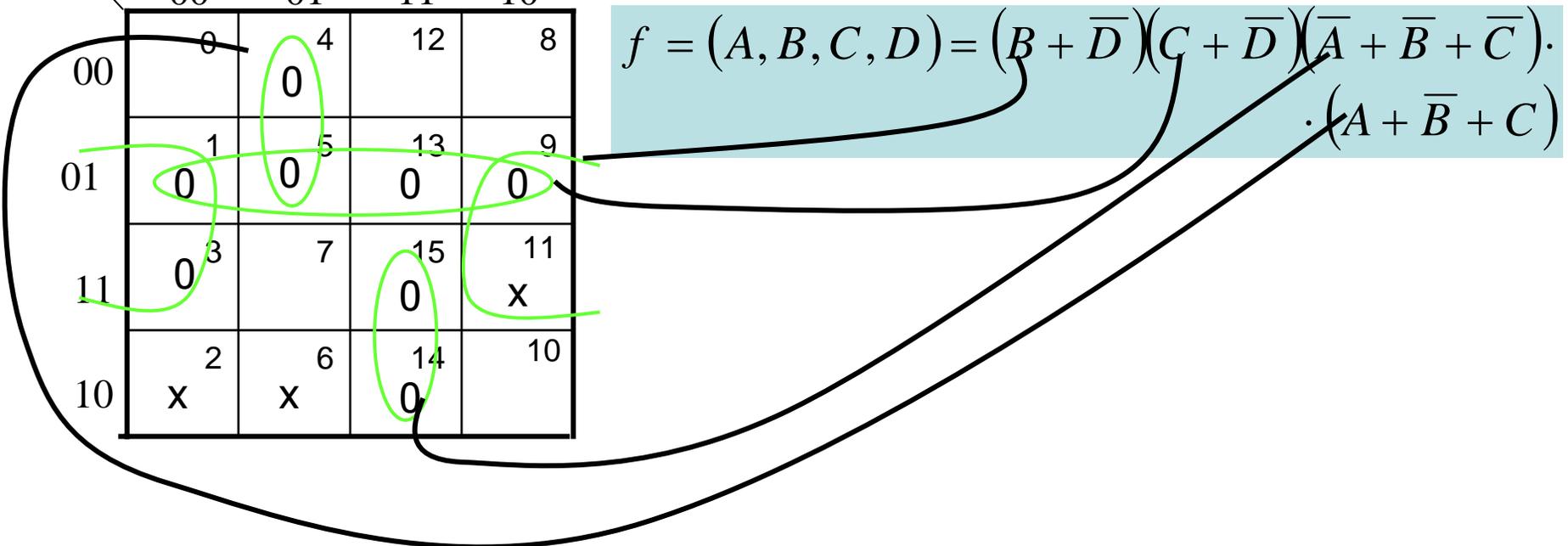
CD \ AB	00	01	11	10
00	1	4	12	8
01	1	5	13	9
11	3	7	15	11
10	2	6	14	10

$$f(A, B, C, D) = \overline{B}\overline{D} + \overline{A}BC + \overline{C}\overline{D}A$$

- El mismo ejemplo pero PoS

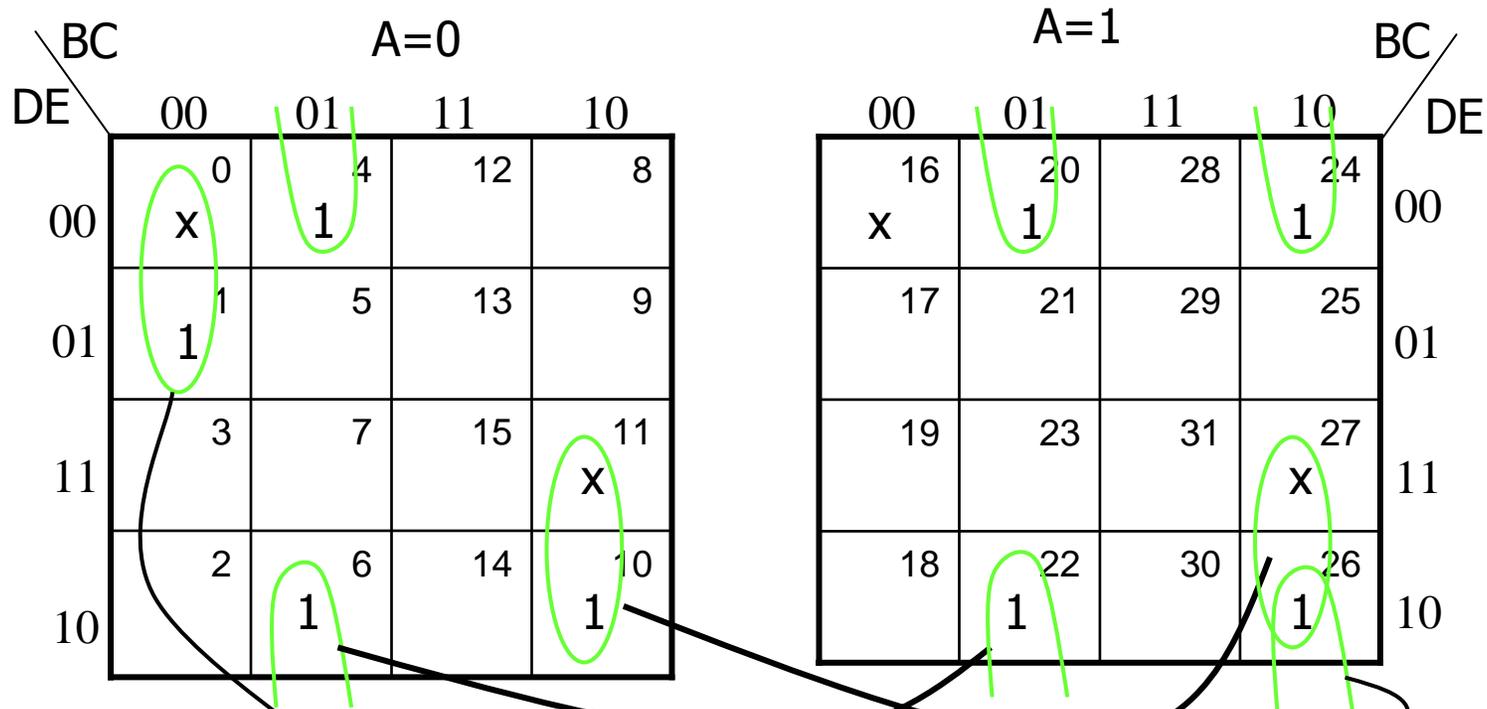
		AB			
		00	01	11	10
CD	00	0	4	12	8
	01	1	5	13	9
	11	3	7	15	11
	10	2	6	14	10
		x	x		

$$f = (A, B, C, D) = (B + \bar{D})(C + \bar{D})(\bar{A} + \bar{B} + \bar{C}) \cdot (A + \bar{B} + C)$$



Ej.:

$$f(A, B, C, D, E) = \sum m(1, 4, 6, 10, 20, 22, 24, 26) + d(0, 11, 16, 27)$$



$$f = \overline{A}\overline{B}\overline{C}\overline{D} + \overline{B}C\overline{E} + \overline{B}\overline{C}D + A\overline{B}C\overline{E}$$