

EL42A - Examen

Tiempo: 2:50 hrs.

Patricio Parada
Departamento de Ingeniería Eléctrica
Universidad de Chile

Nombre: _____

INSTRUCCIONES

Este examen consta de dos partes: la primera es de conocimientos generales del curso, sin apuntes, y para la cual usted dispone de 20 minutos para responderla; la segunda parte es de problemas de análisis y diseño de circuitos electrónicos, y es posible utilizar hasta 3 (tres) hojas con material del curso así como calculadora. El uso de cualquier otro material o dispositivo electrónico queda completamente prohibido.

Recuerde escribir su nombre en todas las hojas y mostrar todo su trabajo. Es importante que las ecuaciones y/o resultados tengan algún comentario que permitan entender el razonamiento empleado para llegar a ella/os.

PARTE I (20 PTS)

Responda en forma breve y directa las siguientes preguntas.

- (1) Qué es el voltaje Early en un transistor MOSFET?

- (2) Indique las desventajas de polarizar en forma directa un transistor.

- (3) Qué es la regulación de carga?

- (4) Cómo determinaría el ancho de banda de un circuito amplificador?

(5) Cuál es la ventaja de usar Lógica Complementaria?

(6) Qué diferencia hay entre un transistor MOS de tipo mejorado y uno de tipo empobrecido?

(7) Qué es el β_{forzado} y qué representa?

(8) Qué entiende por “ajuste de transistores”(transistor matching)?

(9) Porqué utilizamos una señal sinusoidal en el análisis de señal pequeña?

(10) Qué razón de resistencias debe elegir para lograr una ganancia de lazo cerrado insensible al valor de la ganancia de lazo abierto de un amplificador operacional en la configuración no inversora?

EL42A - Examen

Patricio Parada
Departamento de Ingeniería Eléctrica
Universidad de Chile

PARTE II

Problema 1 (15 pts)

El análisis de la respuesta para frecuencias altas del amplificador en fuente común que vimos en el curso se basa en la suposición que la resistencia de la fuente asociada a la señal de entrada R_{sig} es grande, y por lo tanto, su interacción con la capacitancia de entrada C_{in} produce un polo dominante que determina la frecuencia de corte f_H .

En este problema estudiaremos la situación cuando R_{sig} es más bien pequeño. Para ello consideraremos el circuito equivalente mostrado en la Figura 1, en el cual hemos asumido que $R_{sig} = 0$.

- (a) Demuestre que la respuesta en frecuencia corresponde a

$$\frac{V_o}{V_{sig}}(j\omega) = -g_m R'_L \frac{1 - j\omega(C_{gd}/g_m)}{1 + j\omega(C_L + C_{gd})R'_L}, \quad (1)$$

donde C_L denota la capacitancia total en el nodo de salida.

- (b) Si $\omega \ll g_m/C_{gd}$ el numerador de la expresión indicada en la ec. 1 se parece a 1. Para tal caso, cuál sería la frecuencia de corte resultante?
- (c) Determine la ganancia de banda media A_{MB} y f_H para el caso $C_{gd} = 0,5 \text{ pF}$, $C_L = 2 \text{ pF}$, $g_m = 4 \text{ mA/V}$ y $R'_L = 5 \text{ k}\Omega$.

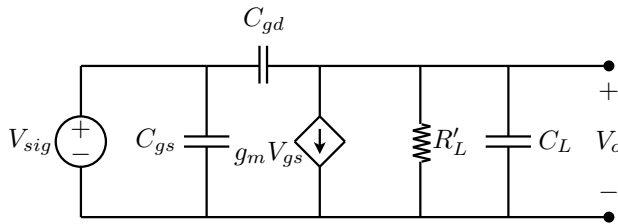


Figura 1. Circuito equivalente para frecuencias altas.

Problema 2 (25pts)

El **cascodo** es un circuito amplificador que tiene una alta resistencia de entrada y una excelente respuesta para frecuencias altas. En este problema veremos la implementación que utiliza dos transistores de juntura bipolar; en ella Q_1 está en la configuración de base

común y Q_2 en la configuración de emisor común (ver Figura 2).

La entrada de la señal de voltaje del circuito corresponde al terminal en la base del transistor Q_1 , mientras que Q_2 se mantiene polarizado con un voltaje constante V_{BIAS} , cuidando que ambos transistores se mantengan en la región activa. Por otro lado, la fuente de corriente I fija el punto de operación de ambos transistores.

Asumiendo que ambos transistores tienen la misma ganancia de corriente en la base β y que el voltaje Early de ambos es V_A , determine:

- (a) El modelo de señal pequeña del amplificador.
- (b) La ganancia de voltaje $A_v = v_o/v_i$.
- (c) La resistencia de entrada R_{in} y la resistencia de salida R_{out} del amplificador.
- (d) (BONUS: 10 puntos extras) La frecuencia de corte para frecuencias altas del amplificador en términos de las capacitancias internas de cada transistor.

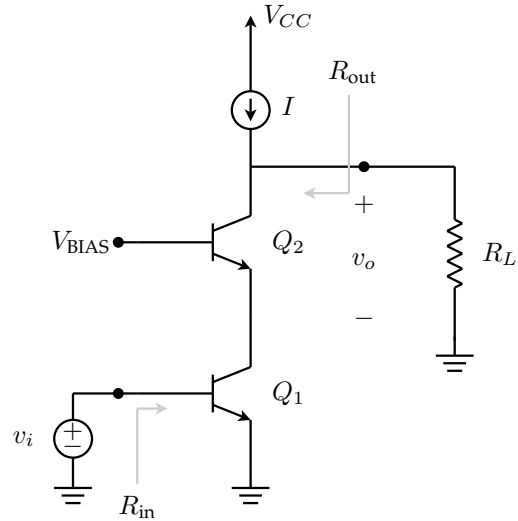


Figura 2. Circuito Cascodo BJT.

Problema 3 (25pts)

Considere el par diferencial de transistores NMOS indicados en la Figura 3. Asuma que los transistores han sido ajustados para simplificar su análisis y que $R_{D1} = R_{D2} = R_D$ para las partes (a)-(c).

Utilizando algún modelo de señal pequeña equivalente para cada transistor, determine:

- La ganancia de modo común del amplificador.
- La ganancia diferencial del amplificador.
- El efecto de la modulación de canal en el comportamiento del amplificador; para ello puede asumir conocido el voltaje Early V_A de cada transistor.
- El efecto de utilizar dos resistencias R_{D1} y R_{D2} distintas.
- La Razón de Rechazo de Modo Común en este último caso.

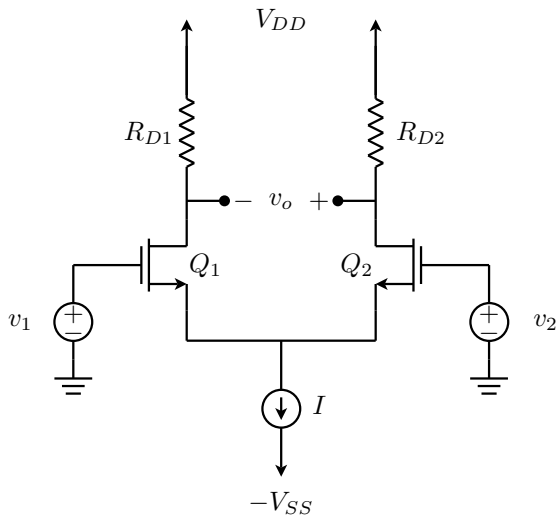


Figura 3. Amplificador Diferencial MOS.

Problema 4 (15pts)

En este problema vamos a diseñar un amplificador sintonizado. Este circuito tiene una respuesta pasabanda centrada en torno a una cierta frecuencia dada. El principio básico tras este diseño es el uso de un filtro RLC paralelo como carga de un circuito amplificador basado en un transistor de juntura bipolar o de efecto de campo (ver Figura 4).

- Demuestre que la respuesta en frecuencia del amplificador sintonizado basado en un transistor NMOS con transconductancia g_m es

$$\frac{V_o}{V_i}(j\omega) = -\frac{g_m}{C} \frac{j\omega}{-\omega^2 + j\omega B + \omega_0^2} \quad (2)$$

donde $\omega_0 = 1/\sqrt{LC}$ es la frecuencia central de la respuesta del circuito, y $B = 1/RC$ es el ancho de banda del circuito. Además, hemos asumido que $R = R_L \parallel r_o$.

- Cuál es la ganancia de voltaje cuando $\omega = \omega_0$?
- Diseñe un amplificador sintonizado con $f_0 = 1$ MHz, ancho de banda $B = 10$ kHz, y ganancia de voltaje para la frecuencia central igual a -10 V/V. Para ello asuma que el NMOS opera de forma tal que $g_m = -5$ mV/A y $r_o = 10$ k Ω .

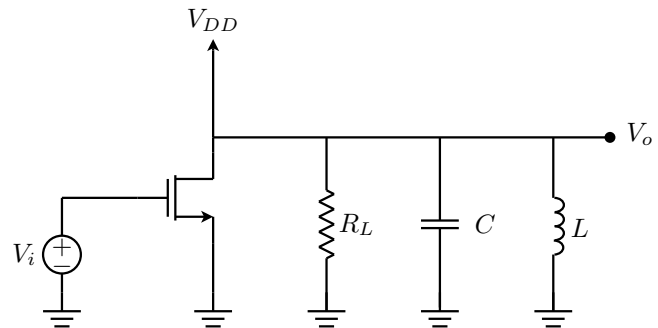


Figura 4. Amplificador sintonizado BJT.