

EL42A - Circuitos Electrónicos

Clase No. 25: Amplificadores Operacionales (2)

Patricio Parada
pparada@ing.uchile.cl

Departamento de Ingeniería Eléctrica
Universidad de Chile

5 de Noviembre de 2009

Amplificadores Operacionales Reales

Amplificadores Diferenciales
Configuración y Operación Básica
Par Diferencial MOS

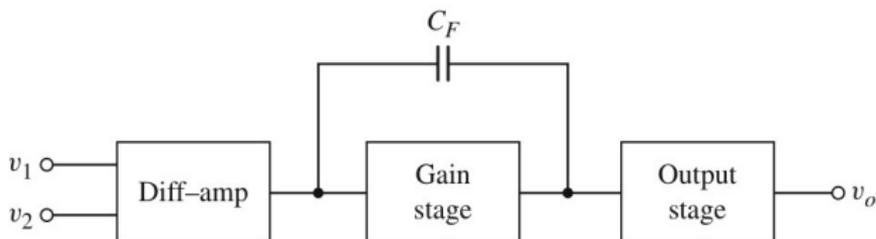
Algo de historia . . .

- ▶ El amplificador operacional es uno de los circuitos integrados más conocidos y utilizados en los últimos 50 años.
- ▶ Luego de la invención del IC (Jack Kilby, 1959), Fairchild Semiconductors creó el primer amplificador operacional en 1965 (μA -709).
- ▶ Hacia finales de la década, la misma compañía desarrolló el μA -741, circuito que se convirtió en el estándar de facto de la industria.



- ▶ En este capítulo vamos a estudiar estos circuitos integrados analógicos, por medio del estudio de amplificadores operacionales.
- ▶ Cuando se introdujeron los primeros integrados en los 60, las limitaciones de fabricación obligaban a realizarlos utilizando transistores bipolares.
- ▶ En la actualidad, las implementaciones son más diversas, incluyendo las basadas en MOSFETs y tecnologías BiMOS (en un mismo chip es posible encontrar transistores bipolares y de tipo MOS).
- ▶ En la actualidad se utiliza tecnología CMOS, lo que ha reducido notablemente el tamaño y consumo de este tipo de circuitos.

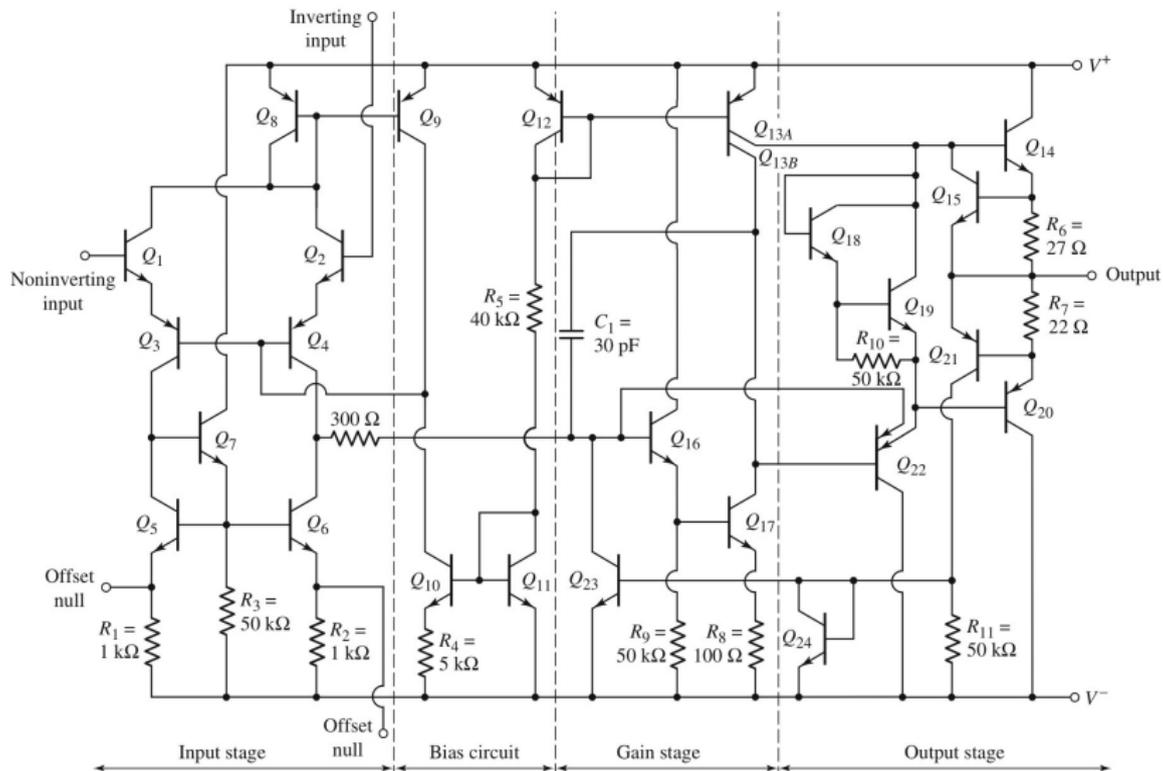
- ▶ Un amplificador operacional es un dispositivo de tres etapas fabricado en un circuito integrado.



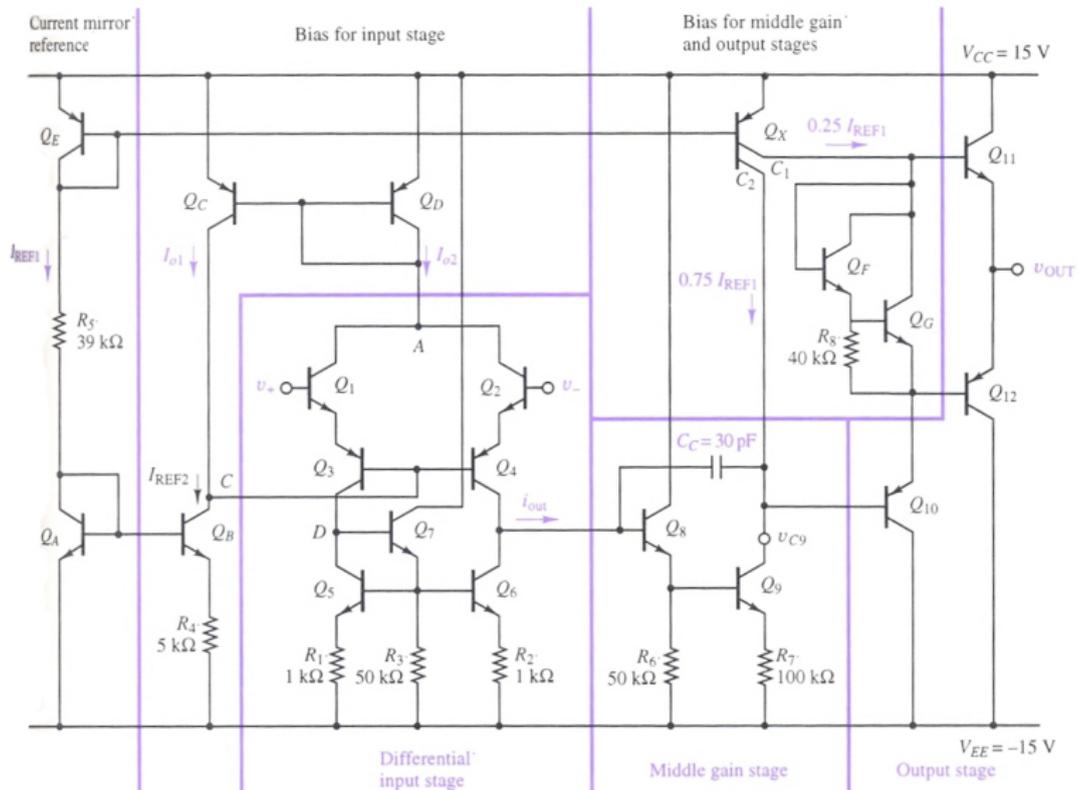
- ▶ Las etapas son:
 1. Entrada: Amplificador diferencial
 2. Ganancia: Ganancia de voltaje
 3. Salida: Ganancia de corriente y pequeña impedancia de salida.
- ▶ A veces se incorpora un condensador C_F en la segunda etapa para proveer de compensación de frecuencia para tener un polo dominante.

- ▶ Las etapas de este circuito se acoplan en forma directa.
- ▶ Por lo tanto, no se utilizan capacitores de bypass ni de acoplamiento.
- ▶ Tampoco se incorporan resistencias de valores superiores a $50\text{ k}\Omega$, pues resistencias de valor superior utilizarían un área muy grande en el integrado.
- ▶ Esto quiere decir que las técnicas habituales de polarización (con divisores de tensión) que utilizamos con elementos discretos, no son apropiadas para este tipo de aplicación.

OpAmp 741 I



OpAmp 741 II



- ▶ Al final del capítulo revisaremos este circuito.
- ▶ Primero debemos introducir la noción de amplificador diferencial y luego de polarización activa.

- ▶ El amplificador diferencial, o *diff-amp*, es un circuito fundamental de cualquier amplificador operacional y de circuitos digitales de alta velocidad.
- ▶ El diff-amp ya apareció en el contexto de amplificadores operacionales, pero ahora lo veremos en un nivel más fundamental, al implementarlo directamente con transistores.
- ▶ Uno de los principios de diseño fundamentales que encontraremos en este tipo de circuitos es la **adaptación de transistores** o *transistor matching*, que será fundamental para lograr una RRMC grande.
- ▶ Los diff-amps pueden implementarse utilizando tecnología BJT, MOS, y BiMos.

- ▶ En general, estos circuitos tienen una ganancia de voltaje acotadas, así como resistencias de entrada y salida limitadas.
- ▶ Por ello, será necesario conectarla en cascada con otras etapas de amplificación para lograr llegar a las especificaciones requeridas.
- ▶ La configuración diferencial tiene algunas ventajas útiles para el procesamiento de señales:
 - ▶ Mayor inmunidad al ruido e interferencia que los amplificadores de señal de una entrada.
 - ▶ No requiere condensadores de acoplamiento ni bypass, ampliando su funcionamiento a baja frecuencia.
- ▶ En lo que sigue hablaremos de **par diferencial** para referirnos al diff-amp.

Par Diferencial MOS

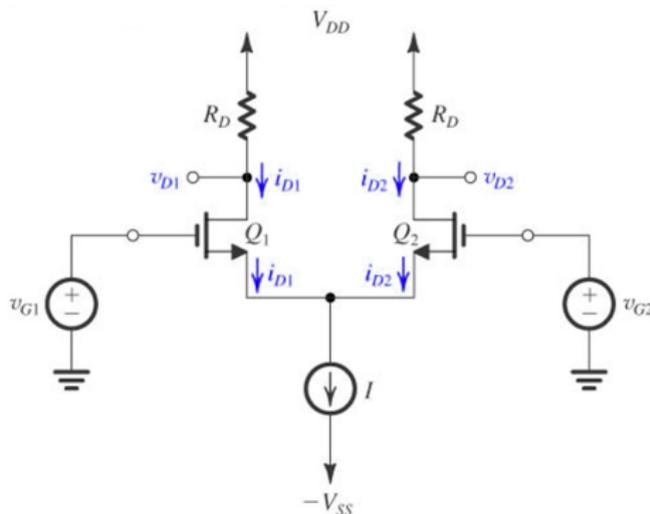
- ▶ El circuito consiste de dos transistores adaptados, es decir, donde

$$K_{n1} = K_{n2}$$
$$k'_{n1} \left(\frac{W}{L} \right)_1 = k'_{n2} \left(\frac{W}{L} \right)_2.$$

- ▶ El circuito es polarizado por una fuente de corriente I_Q y lleva los transistores a la región de saturación.
- ▶ Definimos

$$v_{Id} = v_{G1} - v_{G2}$$

$$v_o = v_{D2} - v_{D1}.$$



Par Diferencial MOS: Análisis DC I

- ▶ Consideraremos el caso de una alimentación común, que denotaremos v_{CM} .
- ▶ Se cumple que

$$v_{D1} = v_{D2} = V_{DD} - \frac{I}{2}R_D$$

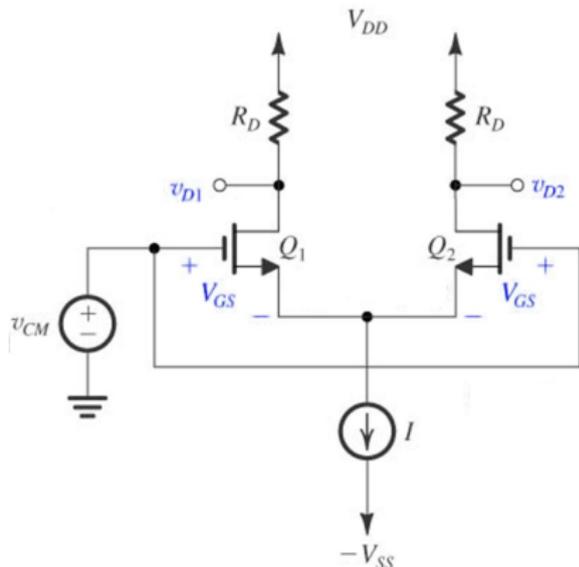
$$v_S = v_{CM} - V_{GS}$$

$$V_{GS} = V_t + V_{OV}$$

$$= V_t + \sqrt{\frac{I}{k'_n \frac{W}{L}}}$$

- ▶ Luego,

$$v_o = 0. \quad (1)$$



Par Diferencial MOS: Análisis DC II

- ▶ Notamos que el par diferencial rechazará el modo común mientras se cumplan las siguientes condiciones:
 1. $R_{D1} = R_{D2} = R_D$.
 2. Los transistores estén adaptados.
 3. Los transistores operen en la región activa.
- ▶ El rango de entrada de modo común es una especificación habitual para este tipo de circuitos.
- ▶ Notamos que el voltaje de modo común v_{CM} puede alcanzar un valor máximo, por sobre el cual los transistores entran en la región de triodo.

$$v_{CM}(\text{max}) = V_t + V_{DD} - \frac{I}{2}R_D. \quad (2)$$

- ▶ El valor mínimo se alcanza cuando los dispositivos han salido del corte. En este caso:

$$v_{CM}(\text{min}) = -V_{SS} + V_{CS} + V_t + V_{OV}. \quad (3)$$

Par Diferencial MOS: Análisis DC III

- ▶ Consideraremos ahora el caso de alimentación diferencial.
- ▶ Vemos que

$$v_{id} = v_{GS1} - v_{GS2}.$$

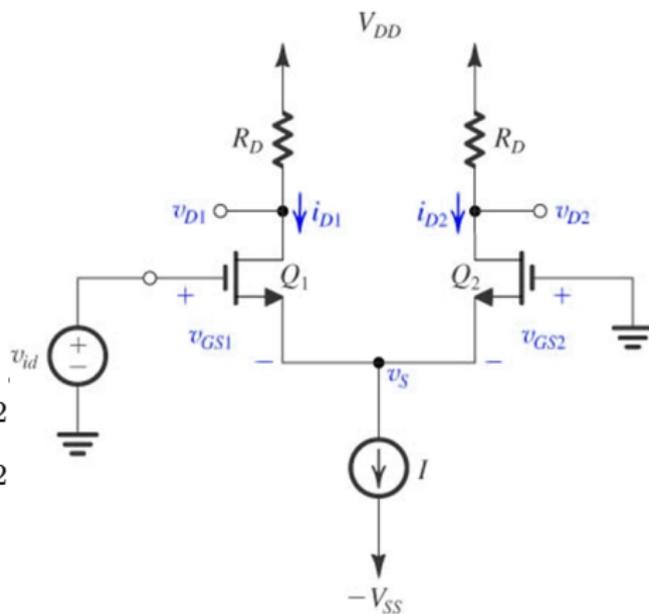
- ▶ Existen dos casos posibles de operación:

$$v_{GS1} > v_{GS2} \Leftrightarrow v_{id} > 0 \Rightarrow i_{D1} > i_{D2}$$

$$v_{GS1} < v_{GS2} \Leftrightarrow v_{id} < 0 \Rightarrow i_{D1} < i_{D2}$$

- ▶ Además,

$$v_o = v_{D2} - v_{D1} = (i_{D1} - i_{D2})R_D.$$



Par Diferencial MOS: Análisis DC IV

- ▶ En ambos casos se cumple que

$$\text{LCK } (S): i_{D1} + i_{D2} = I$$

$$\text{LVK } (D_1S): V_{DD} - i_{D1}R_D = v_{D1}$$

$$\text{LVK } (D_2S): V_{DD} - i_{D2}R_D = v_{D2}$$

- ▶ Luego, si $v_{id} > 0$ tenemos que $v_o > 0$ y viceversa.
- ▶ El par diferencial MOS responde a la diferencia de las entradas.
- ▶ P: Bajo qué condición $i_{D2} = 0$? Es decir, qué debe ocurrir para que la corriente fluya por uno de los transistores solamente?
- ▶ R: Supongamos que $i_{D1} = I$.

$$I = \frac{1}{2}k'_n \frac{W}{L} (v_{GS1} - V_t)^2$$

$$\Rightarrow v_{GS1} = V_t + \sqrt{2}V_{OV}$$

donde $V_{OV} \equiv \sqrt{I/k'_n \frac{W}{L}}$.

Par Diferencial MOS: Análisis DC V

- ▶ Luego, el voltaje de entrada máximo que puede soportar el circuito es

$$v_{id}(\max) = \sqrt{2}V_{OV}. \quad (4)$$

- ▶ Por lo tanto,

$$-\sqrt{2}V_{OV} \leq v_{id} \leq \sqrt{2}V_{OV}. \quad (5)$$

- ▶ Analicemos ahora el caso general.
- ▶ De las ecuaciones de MOSFET en el modo de saturación tenemos

$$i_{D1} = K'_n(v_{GS1} - V_t)^2$$
$$i_{D2} = K'_n(v_{GS2} - V_t)^2.$$

- ▶ Luego,

$$\sqrt{i_{D1}} = \sqrt{K'_n}(v_{GS1} - V_t)$$
$$\sqrt{i_{D2}} = \sqrt{K'_n}(v_{GS2} - V_t).$$

Par Diferencial MOS: Análisis DC VI

- ▶ Como $v_{id} = v_{GS1} - v_{GS2} = v_{G1} - v_{G2}$, entonces

$$\sqrt{i_{D1}} - \sqrt{i_{D2}} = \sqrt{K'_n} v_{id} \quad (6)$$

- ▶ Si elevamos al cuadrado ambos lados de la ecuación, entonces

$$i_{D1} + i_{D2} - 2\sqrt{i_{D1}}\sqrt{i_{D2}} = K'_n v_{id}^2 \quad (7)$$

- ▶ La LCK en (*S*) impone una restricción de corriente para la suma de corrientes:

$$2\sqrt{i_{D1}i_{D2}} = I - K'_n v_{id}^2 \quad (8)$$

- ▶ Reemplazando $i_{D2} = I - i_{D1}$, podemos plantear una ecuación cuadrática en i_{D1} cuya solución es

$$i_{D1} = \frac{I}{2} + \sqrt{2IK'_n} \frac{v_{id}}{2} \sqrt{1 - \frac{v_{id}^2/2}{I/K'_n}}. \quad (9)$$

- ▶ Similarmente, tenemos que

$$i_{D2} = \frac{I}{2} - \sqrt{2IK'_n} \frac{v_{id}}{2} \sqrt{1 - \frac{v_{id}^2/2}{I/K'_n}}. \quad (10)$$

- ▶ En el punto de operación $i_{D1} = i_{D2} = \frac{I}{2}$ y

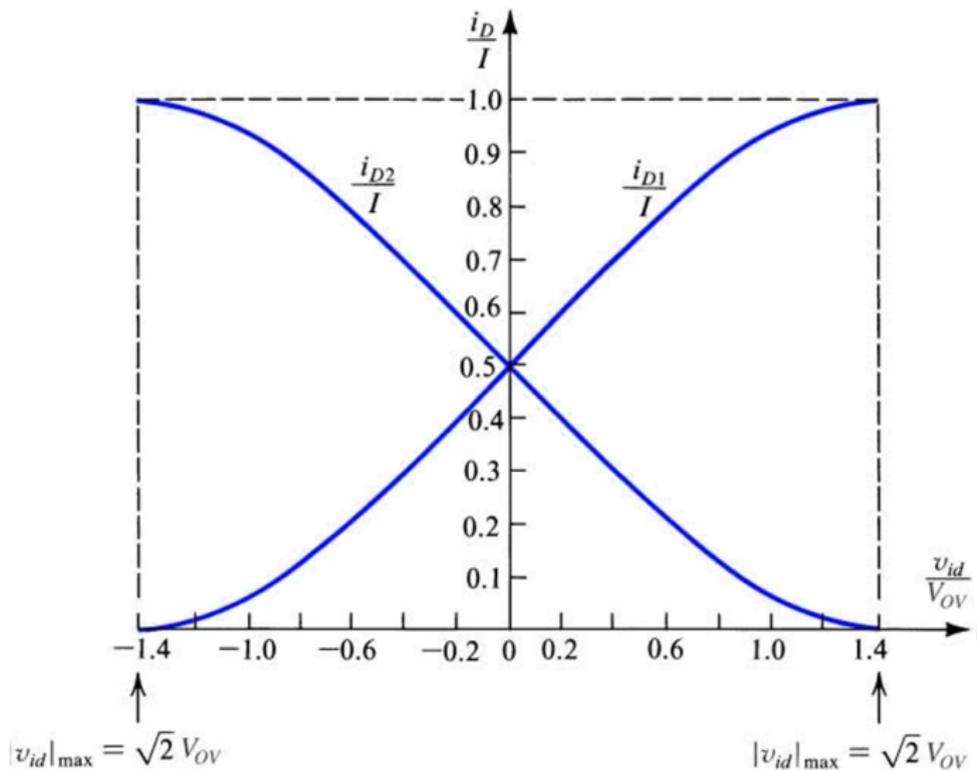
$$\frac{I}{2} = K'_n V_{OV}^2.$$

- ▶ Luego, podemos eliminar el término K'_n por medio de V_{OV} :

$$i_{D1} = \frac{I}{2} + \frac{I}{V_{OV}} \frac{v_{id}}{2} \sqrt{1 - \left(\frac{v_{id}/2}{V_{OV}}\right)^2}$$

$$i_{D2} = \frac{I}{2} - \frac{I}{V_{OV}} \frac{v_{id}}{2} \sqrt{1 - \left(\frac{v_{id}/2}{V_{OV}}\right)^2}$$

Par Diferencial MOS: Análisis DC VIII



- ▶ Recordamos que $v_o = (i_{D1} - i_{D2})R_D$. Luego,

$$v_o = R_D \frac{I}{V_{OV}} \sqrt{1 - \left(\frac{v_{id}/2}{V_{OV}}\right)^2} v_{id} \quad (11)$$

- ▶ La dependencia que hay entre el voltaje de entrada y el de salida es no lineal, algo que en general no es deseable en el caso de amplificadores de señal.
- ▶ Por lo tanto, si requerimos que $v_{id}/2 \ll V_{OV}$, entonces el término variable dentro de la raíz es muy pequeño.

Par Diferencial MOS: Análisis DC X

- ▶ Recordando que si $f(\epsilon) = \sqrt{1 - \epsilon^2}$, entonces

$$f'(\epsilon) = -\frac{\epsilon}{\sqrt{1 - \epsilon^2}}$$

y como

$$f(\epsilon) = f(0) + f'(0)\epsilon$$
$$\sqrt{1 - \epsilon^2} \approx 1$$

para $\epsilon \approx 0$.

- ▶ Por lo tanto,

$$v_o \approx R_D \frac{2I}{V_{OV}} \frac{v_{id}}{2}. \quad (12)$$

- ▶ Recordando que $g_m = \frac{2I}{V_{OV}}$, notamos que la ganancia de amplificación diferencial es

$$A_d = g_m R_D. \quad (13)$$

- ▶ Notamos inmediatamente que existe un compromiso entre el grado de linealidad que exhibe el par diferencial y la ganancia de voltaje que se puede lograr en esta etapa.
- ▶ Aunque uno podría aumentar la ganancia incrementando I , esto a su vez incrementaría g_m con el consecuente aumento en la potencia disipada ($\propto I^2$) por el amplificador, algo que en circuitos integrados resulta poco deseable.
- ▶ La solución habitual es incorporar una etapa de ganancia a continuación de la etapa diferencial para lograr las especificaciones requeridas.