

**Auxiliar 9**  
**Rodrigo Canovas**  
**21 de Noviembre del 2008**

**1. Problema 1**

- (a)
- register bypassing: (c,5) , (d,6)
  - register scorebording: (e,11)
  - predicción de saltos: (a',4)
  - register renaming: no hay (solo en ejecución fuera de orden)
  - ejecución superescalar: (a,4), (b,4), (a',13) y (b',13)  
 (basta con decir que es un procesador con 2 pipeline).

(b) Sol:

		1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
a.-	<b>ADD R1, 4, R1</b>	F	D	A	E	S	R									
b.-	<b>LDW [R2+8], R3</b>	F	D	A	E	M	M	M	M	S	R					
c.-	<b>OR R1, 255, R4</b>		F	D	A	E	S				R					
d.-	<b>ADD R4, 1, R2</b>		F	D	A		E	S				R				
e.-	<b>CMP R3, 0</b>			F	D	A				E	R					
f.-	<b>BNE a.-</b>			F	D	A	E						R			
a`.-	<b>ADD R1, 4, R1</b>				F	D	A	E	S				R			
b`.-	<b>LDW [R2+8], R3</b>				F	D	A	E	M	S				R		

Cosas que se tienen que cumplir:

- Los retiros deben de ocurrir en orden.
- No se debe realizar una operación antes que sus operandos estén listos. (Ej: (e,11)).
- Que lo que para este caso es (f,6) y (a',7) ocurra antes que se realice el store de R3 porque se trata de un salto predicho y especulativo.
- No más de 2 E en un mismo ciclo.
- Se deben retirar 2 inst. por ciclo.

## 2. Problema 2

- Superescalar:

		1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
1.-	<b>ADD R1, R2, R3</b>	F	D	A	E	S										
2.-	<b>ADD R2, R4, R5</b>	F	D	A	E	S										
3.-	<b>SUB R3, R2, R6</b>		F	D	A	E	S									
4.-	<b>LOAD [R6+4], R7</b>		F	D	A	E	M	M	M	M	S					
5.-	<b>CMP R7, 0</b>			F	D	A							E	S		
6.-	<b>BEQ 1.-</b>			F	D	A								E		
1.-	<b>ADD R1, R2, R3</b>				F	D	A							E	S	
2.-	<b>ADD R2, R4, R5</b>				F	D	A								E	S

En (3,5) y (4,6) hay un register bypassing.

En (1,4) (el segundo 1) hay una prediccion de salto.

- Fuera de orden:

		1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
1.-	<b>ADD R1, R2, R3</b>	F	D	A	E	S	R									
2.-	<b>ADD R2, R4, R5</b>	F	D	A	E	S	R									
3.-	<b>SUB R3, R2, R6</b>		F	D	A	E	S	R								
4.-	<b>LOAD [R6+4], R7</b>		F	D	A	E	M	M	M	M	S	R				
5.-	<b>CMP R7, 0</b>			F	D	A							E	S	R	
6.-	<b>BEQ 1.-</b>			F	D	A								E	R	
1.-	<b>ADD R1, R2, R3</b>				F	D	A	E	S							R
2.-	<b>ADD R2, R4, R5</b>				F	D	A	E	S							R

Lo mismo anterior pero ademas en (1,4) y (2,4) (el segundo 1 y 2) existe un register renaming.