

**Auxiliar 9**  
**Rodrigo Canovas**  
 21 de Noviembre del 2008

**1. Problema 1**

		1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
a.-	<b>ADD R1, 4, R1</b>	F	D	A	E	S										
b.-	<b>LDW [R2+8], R3</b>	F	D	A	E	M	M	M	M	S						
c.-	<b>OR R1, 255, R4</b>		F	D	A	E	S									
d.-	<b>ADD R4, 1, R2</b>		F	D	A		E	S								
e.-	<b>CMP R3, 0</b>			F	D	A						E				
f.-	<b>BNE a.-</b>			F	D	A							E			
a`.-	<b>ADD R1, 4, R1</b>				F	D	A							E	S	
b`.-	<b>LDW [R2+8], R3</b>				F	D	A							E	M	S

La figura muestra ciclo por ciclo la ejecución de varias instrucciones en un procesador. Su arquitectura física debe deducirla Ud.

- (a) Indique en qué momento se recurre (si es que se recurre) a las siguientes técnicas: **register bypassing**, **register scoreboarding**, **predicción de saltos**, **ejecución superescalar** y **register renaming**.
- (b) Rehaga la figura considerando un procesador de similares características pero con **ejecución fuera de orden** y **ejecución especulativa**. Explique además en qué momentos se recurre a **renombrado de registros** y **ejecución especulativa**. No olvide agregar la fase de retiro en el pipeline.

**2. Problema 2**

Lo siguiente es una secuencia de instrucciones ejecutadas bajo M32, la cual no posee delay slots:

1.- add R1,R2,R3	5.- cmp R7,0
2.- add R2,R4,R5	6.- beq 1.-
3.- sub R3,R2,R6	1.- add R1,R2,R3
4.- load [R6+4],R7	2.- add R2,R4,R5

Haga dos diagramas que muestren en qué ciclo se realiza cada fase de la ejecución de estas instrucciones. El primer diagrama debe considerar una arquitectura superescalar de grado 2 y el segundo una arquitectura con ejecución fuera de orden con capacidad para decodificar y retirar 2 instrucciones por ciclo del reloj. Considere que la lectura en memoria toma 4 ciclos del reloj (más los ciclos usuales de fetch, decodificación, análisis, cálculo de dirección, store, etc..).