

## Auxiliar: Memorias CC41C

Rodrigo Canovas

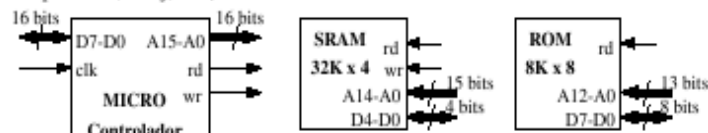
11 Mayo 2006

### 1. Problema 1

El bus de datos de un microcontrolador es de 8 bits y su bus de direcciones de 16 bits. Esto permite direccionar hasta un máximo de 64 KB de memoria. Después del encendido, el microcontrolador parte ejecutando la instrucción que se encuentre en la dirección hexadecimal  $0xff00$  (casi al final de los 64 KB), por lo que se requiere que en esa dirección haya una memoria ROM que se encargue de cargar e inicializar el sistema operativo. Esto es conflictivo porque dado que 64 KB es poca memoria se desea por otra parte que todo corresponda a memoria RAM.

Para resolver el conflicto se usa una técnica que consiste en que justo después del encendido el microcontrolador ve una memoria RAM ubicada en  $[0, 56 \text{ KB}]$  y una memoria ROM de 8 KB en  $[56, 64 \text{ KB}]$ . Un programa de la ROM se encarga de cargar e inicializar el sistema operativo en la memoria RAM, *sin escribir* en la memoria ROM. La interfaz en hardware de la memoria ROM y RAM hace que cuando se escribe la primera vez en alguna dirección asignada a la memoria ROM (i.e. Rango  $[56, 64 \text{ KB}]$ ), ésta se reemplaza por 8 KB de memoria RAM adicionales (no inicializada), y así la primera escritura se realiza en memoria RAM. De ahí en adelante el microcontrolador ve que los 64 KB son memoria RAM. No hay forma de acceder nuevamente al contenido de la memoria ROM sin apagar el sistema.

Se le pide a Ud. que *diseñe e implemente* este sistema a partir de las componentes de la figura. Ud. dispone además de un Latch, que se garantiza que después del encendido su valor es 0, y el resto de las componentes modulares usuales (ands, ors, nots, decodificadores, multiplexores, reloj, etc.).



### 2. Problema 2

Se tienen 8 chips de memoria SRAM de 1 MB cada uno ( $256 \text{K} \times 32 \text{b}$ ). Diseñar la interfaz de memoria para disponer de 8 MB contiguos.

### 3. Problema 3

Suponga ahora que para el problema anterior la memoria puede tener un tiempo de acceso muy extenso. Se le pide que ahora modifique el diseño anterior de tal manera que hayan dos ciclos de espera (wait state) despues de cada acceso a memoria.

### 4. Pregunta 4 (Propuesto)

Se dispone de 2 chips SRAM de 256 KB (256kx8b) y uno de 128 KB (128kx8b).

Diseñar una interfaz de memoria que provea 640 KB.

Nos reaglan chip SDRAM de 1 MB (1Mx8b).

Mapearlo en el rango [640KB, 640KB+64KB[ , eligiendo el banco mediante una escritura en la dirección 0xffff.

$|BusdeDatos| = 8b$

$|BusdeDirecciones| = 20b$